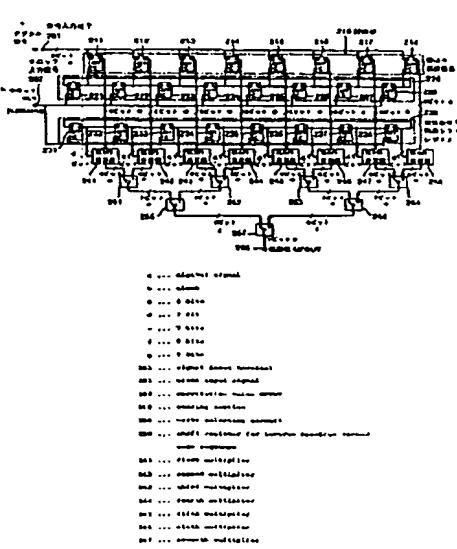




(51) 国際特許分類6 G06F 17/15, H03H 17/02, H04J 13/02		A1	(11) 国際公開番号 WO99/06922
			(43) 国際公開日 1999年2月11日(11.02.99)
<p>(21) 国際出願番号 PCT/JP97/02647</p> <p>(22) 国際出願日 1997年7月30日(30.07.97)</p> <p>(71) 出願人 (米国を除くすべての指定国について) 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.)(JP/JP) 〒571 大阪府門真市大字門真1006番地 Osaka, (JP)</p> <p>(72) 発明者 ; および (75) 発明者／出願人 (米国についてのみ) 新出弘紀(SHINDE, Hiroki)(JP/JP) 〒214 神奈川県川崎市多摩区折形5-26-24-202 Kanagawa, (JP)</p> <p>(74) 代理人 弁理士 浅村 翔, 外(ASAMURA, Kiyoshi et al.) 〒100 東京都千代田区大手町2丁目2番1号 新大手町ビル331 Tokyo, (JP)</p>			<p>(81) 指定国 JP, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>添付公開書類 国際調査報告書</p>
<p>(54) Title: DIGITAL MATCHED FILTER</p> <p>(54) 発明の名称 デジタルマッチドフィルタ</p> <p>(57) Abstract</p> <p>The power consumption of a digital matched filter for finding the value of the correlation between 6-bit digital signals (<math>I_0</math>) synchronized with a clock and an inverse spectrum spread code sequence composed of eight inverse spectrum spread codes (<math>C_7, C_6, C_5, C_4, C_3, C_2, C_1</math>, and <math>C_0</math>) is reduced. First to eighth flip-flops (211-218) constituting a storing section (210) are successively selected one by one at a clock by means of a write selecting circuit (220), and the digital signals (<math>I_0</math>) are stored in the selected flip-flops. The eight inverse spectrum spread codes are respectively stored in first to eight flip-flops (231-238) for code storage and shifted synchronously with the clock. The output signals of the first to eighth flip-flop are respectively multiplied by the output signals of the first to eighth flip-flops (231-238) for code storage by means of first to eight multiplying circuits (241-248).</p> 			

クロックに同期した6ビットのデジタル信号(I<sub>0</sub>)と8個の逆拡散符号からなる逆拡散符号列(C<sub>1</sub> C<sub>2</sub> C<sub>3</sub> C<sub>4</sub> C<sub>5</sub> C<sub>6</sub> C<sub>7</sub> C<sub>8</sub>)との相関値を求めるためのデジタルマッチトフィルタの低消費電力化を図る。記憶部(210)を構成する第1乃至第8のフリップフロップ群(211~218)が書き込み選択回路(220)によってクロックごとに順に選択され、選択されたフリップフロップ群にデジタル信号(I<sub>0</sub>)が記憶される。8個の逆拡散符号は、第1乃至第8の符号用フリップフロップ(231~238)にそれぞれ格納されており、クロックに同期してシフトされる。第1乃至第8のフリップフロップ群の出力信号と第1乃至第8の符号用フリップフロップの出力信号とが第1乃至第8の乗算回路(241~248)でそれぞれ乗算される。

## PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AL アルバニア	FI フィンランド	LK スリ・ランカ	SI スロヴェニア
AM アルメニア	FR フランス	LR リベリア	SK スロヴァキア
AT オーストリア	CA カボン	LS レント	SL シエラ・レオネ
AU オーストラリア	GB 英国	LT リトアニア	SN セネガル
AZ アゼルバイジャン	GD グレナダ	LU ルクセンブルグ	SZ スワジ兰
BA ボスニア・ヘルツェゴビナ	GE グルジア	LV ラトヴィア	TD チャード
BB バルバドス	GH ガーナ	MC モナコ	TG トーゴ
BE ベルギー	GM ガンビア	MD モルドバ	TJ タジキスタン
BF ブルガリア	GN ギニア	MG マダガスカル	TM トルクメニスタン
BC ブルガリア	GW ギニア・ビサオ	MK マケドニア旧ユーゴスラヴィア	TR トルコ
BJ ベナン	GR ギリシャ	共和国	TT トリニダッド・トバゴ
BR ブラジル	HR クロアチア	ML マリ	UA ウクライナ
BY ベラルーシ	HU ハンガリー	MN モンゴル	UG ウガンダ
CA カナダ	ID インドネシア	MR モーリタニア	US 米国
CF 中央アフリカ	IE アイルランド	MV マラウイ	UZ ウズベキスタン
CG コンゴ	IL イスラエル	MX メキシコ	VN ヴィエトナム
CH スイス	IN インド	NE ニジエール	YU ユーロースラビア
CI コートジボアール	IS アイスランド	NL オランダ	ZW ジンバブエ
CM カメルーン	IT イタリア	NO ノルウェー	
CN 中国	JP 日本	NZ ニュージーランド	
CU キューバ	KE ケニア	PL ポーランド	
CY キプロス	KG キルギスタン	PT ポルトガル	
CZ チェコ	KP 北朝鮮	RO ルーマニア	
DE ドイツ	KR 韓国	RU ロシア	
DK デンマーク	KZ カザフスタン	SD スーダン	
EE エストニア	LC セントルシア	SE スウェーデン	
ES スペイン	LI リヒテンシュタイン	SG シンガポール	

## 明細書

## デジタルマッチトフィルタ

## 5 技術分野

本発明は、デジタルマッチトフィルタに関し、特に、携帯電話などのスペクトラム拡散信号の相関検出を行う相関検出器として用いるのに好適なデジタルマッチトフィルタに関する。

## 背景技術

10 携帯電話などで使用することが検討されている符号分割多元接続 (CDMA) 方式によるスペクトラム拡散通信では、スペクトラム拡散信号を元の狭帯域の信号に復調する際に、マッチトフィルタが用いられる (たとえば、「ディジタル携帯電話CDMA用LSI, 110mWと低消費電力化」、日経エレクトロニクス、No. 656, pp. 14~15, 1996年2月など)。

15 第1図は、FIRデジタルフィルタを用いて構成された8倍拡散8タップのデジタルマッチトフィルタの従来例を示すブロック図である (たとえば、「スペクトラム拡散ハンドブック第4版」、スタンフォード・テレコム社、1996年)。このデジタルマッチトフィルタの伝達関数  $H(z)$  は、次式で表わされる。

$$H(z) = C_0 + C_1 z^{-1} + C_2 z^{-2} + C_3 z^{-3} \\ + C_4 z^{-4} + C_5 z^{-5} + C_6 z^{-6} + C_7 z^{-7} \quad (1)$$

このデジタルマッチトフィルタは、信号入力端子1と、クロック入力端子2と、第1乃至第7のフリップフロップ群11~17からなるタップ付きシフトレジスタ10と、第1乃至第8の乗算器21~28と、第1乃至第7の加算器31~37と、出力端子5とを含む。ここで、タップ付きシフトレジスタ10を構成する25 第1乃至第7のフリップフロップ群11~17はそれぞれ、互いに並列接続された6個のフリップフロップから構成されている。

信号入力端子1には、アナログ信号 (たとえば、スペクトラム拡散信号) が4.096 MHzのサンプリング周波数でサンプリングされて生成されたデジタル信号  $I_0$  が入力される。なお、デジタル信号  $I_0$  は、クロック入力端子2に入力さ

れる4. 096MHzのクロックCLKに同期した6ビットの2の補数表現のデジタル信号である。デジタル信号I<sub>0</sub>は、タップ付きシフトレジスタ10の第1のフリップフロップ群11に入力されたのち、クロックCLKに同期して、第1のフリップフロップ群11から第7のフリップフロップ群17に向けて順次シフ  
5 トされる。

第1乃至第8の乗算器21～28は、6ビット×1ビットの乗算器であり、6ビットの出力信号を出力する。第1の乗算器21では、デジタル信号I<sub>0</sub>（6ビット）と8ビットの逆拡散符号列C<sub>7</sub> C<sub>6</sub> C<sub>5</sub> C<sub>4</sub> C<sub>3</sub> C<sub>2</sub> C<sub>1</sub> C<sub>0</sub>のうちの逆拡散符号C<sub>0</sub>（1ビット）との乗算が行われる。第2乃至第8の乗算器22～2  
10 8では、第1乃至第7のフリップフロップ群11～17の出力信号と逆拡散符号C<sub>1</sub>～C<sub>7</sub>との乗算がそれぞれ行われる。

乗算器21～28では、たとえば、逆拡散符号が0を示すときは、デジタル信号I<sub>0</sub>および第1乃至第7のフリップフロップ群11～17の出力信号と-1との乗算がそれぞれ行われ、逆拡散符号が1を示すときは、デジタル信号I<sub>0</sub>および第1乃至第7のフリップフ  
15 ロップ群11～17の出力信号と1との乗算がそれぞれ行われる。なお、乗算器21～28における乗算の方法はこれに限らず、たとえば、逆拡散符号が0を示すときは、デジタル信号I<sub>0</sub>および第1乃至第7のフリップフロップ群11～17の出力信号と1との乗算がそれぞれ行われ、逆拡散符号が1を示すときは、デジタル信号I<sub>0</sub>および第1乃至第7のフリップフ  
20 ロップ群11～17の出力信号と-1との乗算がそれぞれ行われてもよい。

各乗算器21～28における乗算の手順について、第2図を参照して以下に説明する。

初期状態では、タップ付きシフトレジスタ10を構成する第1乃至第7のフリップフロップ群11～17の出力信号はすべて、0とされている。

25 第1の動作状態では、信号入力端子1にデジタル信号I<sub>0</sub>の1番目のサンプリングデータD<sub>0</sub>が入力され、このサンプリングデータD<sub>0</sub>と逆拡散符号C<sub>0</sub>との乗算が第1の乗算器21で行われる。したがって、D<sub>0</sub> × C<sub>0</sub>の値を示す出力信号が、第1の乗算器21から出力される。

第2の動作状態では、信号入力端子1にデジタル信号I<sub>0</sub>の2番目のサンプリ

5 　　ングデータ  $D_1$  がクロック  $CLK$  に同期して入力されるとともに、1番目のサンプリングデータ  $D_0$  が第1のフリップフロップ群  $1\ 1$  に取り込まれる。その結果、2番目のサンプリングデータ  $D_1$  と逆拡散符号  $C_0$  との乗算が第1の乗算器  $2\ 1$  で行われるとともに、1番目のサンプリングデータ  $D_0$  と逆拡散符号  $C_1$  との乗算が第2の乗算器  $2\ 2$  で行われる。したがって、 $D_1 \times C_0$  の値を示す出力信号が第1の乗算器  $2\ 1$  から出力されるとともに、 $D_0 \times C_1$  の値を示す出力信号が第2の乗算器  $2\ 2$  から出力される。

10 　　第3の動作状態では、信号入力端子1にデジタル信号  $I_0$  の3番目のサンプリングデータ  $D_2$  がクロック  $CLK$  に同期して入力され、1番目のサンプリングデータ  $D_1$  が第2のフリップフロップ群  $1\ 2$  に取り込まれ、2番目のサンプリングデータ  $D_0$  が第1のフリップフロップ群  $1\ 1$  に取り込まれる。その結果、3番目のサンプリングデータ  $D_2$  と逆拡散符号  $C_0$  との乗算が第1の乗算器  $2\ 1$  で行われ、2番目のサンプリングデータ  $D_1$  と逆拡散符号  $C_1$  との乗算が第2の乗算器  $2\ 2$  で行われ、1番目のサンプリングデータ  $D_0$  と逆拡散符号  $C_2$  との乗算が第3の乗算器  $2\ 3$  で行われる。したがって、 $D_2 \times C_0$  の値を示す出力信号が第1の乗算器  $2\ 1$  から出力され、 $D_1 \times C_1$  の値を示す出力信号が第2の乗算器  $2\ 2$  から出力され、 $D_0 \times C_2$  の値を示す出力信号が第3の乗算器  $2\ 3$  から出力される。以降、同様の動作が第7の動作状態まで繰り返される。

15 　　第8の動作状態では、信号入力端子1にデジタル信号  $I_0$  の8番目のサンプリングデータ  $D_7$  がクロック  $CLK$  に同期して入力され、1番目乃至7番目のサンプリングデータ  $D_6 \sim D_0$  が第7乃至第1のフリップフロップ群  $1\ 7 \sim 1\ 1$  にそれぞれ取り込まれる。したがって、 $D_7 \times C_0$  の値を示す出力信号が第1の乗算器  $2\ 1$  から出力され、 $D_6 \times C_1$  の値を示す出力信号が第2の乗算器  $2\ 2$  から出力され、 $D_5 \times C_2$  の値を示す出力信号が第3の乗算器  $2\ 3$  から出力され、 $D_4 \times C_3$  の値を示す出力信号が第4の乗算器  $2\ 4$  から出力され、 $D_3 \times C_4$  の値を示す出力信号が第5の乗算器  $2\ 5$  から出力され、 $D_2 \times C_5$  の値を示す出力信号が第6の乗算器  $2\ 6$  から出力され、 $D_1 \times C_6$  の値を示す出力信号が第7の乗算器  $2\ 7$  から出力され、 $D_0 \times C_7$  の値を示す出力信号が第8の乗算器  $2\ 8$  から出力される。

以上の動作により、デジタル信号 I。の最初の 8 個のサンプリングデータ D<sub>0</sub> ~ D<sub>7</sub> と 8 ビットの逆拡散符号列 C<sub>7</sub> C<sub>6</sub> C<sub>5</sub> C<sub>4</sub> C<sub>3</sub> C<sub>2</sub> C<sub>1</sub> C<sub>0</sub> との相関値を求めるのに必要な乗算がすべて行われる。

第 9 の動作状態では、信号入力端子 1 にデジタル信号 I。の 9 番目のサンプリングデータ D<sub>8</sub> がクロック C L K に同期して入力され、2 番目乃至 8 番目のサンプリングデータ D<sub>1</sub> ~ D<sub>7</sub> が第 7 乃至第 1 のフリップフロップ群 1 7 ~ 1 1 にそれぞれ取り込まれる。したがって、D<sub>8</sub> × C<sub>0</sub> の値を示す出力信号が第 1 の乗算器 2 1 から出力され、D<sub>7</sub> × C<sub>1</sub> の値を示す出力信号が第 2 の乗算器 2 2 から出力され、D<sub>6</sub> × C<sub>2</sub> の値を示す出力信号が第 3 の乗算器 2 3 から出力され、D<sub>5</sub> × C<sub>3</sub> の値を示す出力信号が第 4 の乗算器 2 4 から出力され、D<sub>4</sub> × C<sub>4</sub> の値を示す出力信号が第 5 の乗算器 2 5 から出力され、D<sub>3</sub> × C<sub>5</sub> の値を示す出力信号が第 6 の乗算器 2 6 から出力され、D<sub>2</sub> × C<sub>6</sub> の値を示す出力信号が第 7 の乗算器 2 7 から出力され、D<sub>1</sub> × C<sub>7</sub> の値を示す出力信号が第 8 の乗算器 2 8 から出力される。その結果、デジタル信号 I。の最初の 8 個のサンプリングデータ D<sub>0</sub> ~ D<sub>7</sub> から 1 サンプリング後の 8 個のサンプリングデータ D<sub>1</sub> ~ D<sub>8</sub> と 8 ビットの逆拡散符号列 C<sub>7</sub> C<sub>6</sub> C<sub>5</sub> C<sub>4</sub> C<sub>3</sub> C<sub>2</sub> C<sub>1</sub> C<sub>0</sub> との相関値を求めるのに必要な乗算がすべて行われる。以降、同様の動作が繰り返される。

第 1 乃至第 4 の加算器 3 1 ~ 3 4 は、6 ビット + 6 ビットの加算器であり、7 ビットの出力信号を出力する。第 5 および第 6 の加算器 3 5, 3 6 は、7 ビット + 7 ビットの加算器であり、8 ビットの出力信号を出力する。第 7 の加算器 3 7 は、8 ビット + 8 ビットの加算器であり、9 ビットの出力信号を出力する。第 1 の加算器 3 1 では、第 1 の乗算器 2 1 の出力信号 (6 ビット) と第 2 の乗算器 2 2 の出力信号 (6 ビット) との加算が行われる。第 2 の加算器 3 2 では、第 3 の乗算器 2 3 の出力信号 (6 ビット) と第 4 の乗算器 2 4 の出力信号 (6 ビット) との加算が行われる。第 3 の加算器 3 3 では、第 5 の乗算器 2 5 の出力信号 (6 ビット) と第 6 の乗算器 2 6 の出力信号 (6 ビット) との加算が行われる。第 4 の加算器 3 4 では、第 7 の乗算器 2 7 の出力信号 (6 ビット) と第 8 の乗算器 2 8 の出力信号 (6 ビット) との加算が行われる。第 5 の加算器 3 5 では、第 1 の加算器 3 1 の出力信号 (7 ビット) と第 2 の加算器 3 2 の出力信号 (7 ビット)

との加算が行われる。第6の加算器36では、第3の加算器33の出力信号(7ビット)と第4の加算器34の出力信号(7ビット)との加算が行われる。第7の加算器37では、第5の加算器35の出力信号(8ビット)と第6の加算器36の出力信号(8ビット)との加算が行われる。この結果、デジタル信号I<sub>0</sub>と  
5 逆拡散符号列C<sub>7</sub> C<sub>6</sub> C<sub>5</sub> C<sub>4</sub> C<sub>3</sub> C<sub>2</sub> C<sub>1</sub> C<sub>0</sub>との相関値MFOUTが第7の加算器37において得られ、出力端子5を介して外部に出力される。

次に、受信信号がオーバーサンプリングされる場合に用いられるデジタルマッチトフィルタについて説明する。

携帯電話などで受信信号の相関検出を行って受信タイミングを検出する場合、  
10 受信タイミング検出の精度を向上するために、受信信号は、通常、チップレート周波数に対してm倍オーバーサンプリングされたのち、マッチトフィルタに入力される。受信信号が2倍オーバーサンプリングされたときのマッチトフィルタの伝達関数H(z)は、次式で表わされる。

$$H(z) = C_0 + C_1 z^{-2} + C_2 z^{-4} + C_3 z^{-6} \\ 15 + C_4 z^{-8} + C_5 z^{-10} + C_6 z^{-12} + C_7 z^{-14} \quad (2)$$

第3図は、FIR2倍補間デジタルフィルタを用いて構成された8倍拡散16タップのデジタルマッチトフィルタの従来例を示すブロック図である。このデジタルマッチトフィルタは、信号入力端子101と、クロック入力端子102と、第1乃至第14のフリップフロップ群111～124からなるタップ付きシフトレジスタ110と、第1乃至第8の乗算器131～138と、第1乃至第7の加算器141～147と、出力端子105とを含む。ここで、タップ付きシフトレジスタ110を構成する第1乃至第14のフリップフロップ群111～124はそれぞれ、互いに並列接続された6個のフリップフロップから構成されている。

信号入力端子101には、アナログ信号(たとえば、スペクトラム拡散信号)が8.192MHzのサンプリング周波数で2倍オーバーサンプリングされて生成されたデジタル信号I<sub>0</sub>が入力される。なお、デジタル信号I<sub>0</sub>は、クロック入力端子102に入力される8.192MHzのクロックCLKに同期した6ビットの2の補数表現のデジタル信号である。デジタル信号I<sub>0</sub>は、タップ付きシフトレジスタ110の第1のフリップフロップ群111に入力されたのち、クロ

ック CLK に同期して、第 1 のフリップフロップ群 111 から第 14 のフリップフロップ群 124 に向けて順次シフトされる。

第 1 乃至第 8 の乗算器 131～138 は、6 ビット × 1 ビットの乗算器であり、6 ビットの出力信号を出力する。第 1 の乗算器 131 では、デジタル信号 I。

5 (6 ビット) と 8 ビットの逆拡散符号列  $C_7, C_6, C_5, C_4, C_3, C_2, C_1, C_0$  のうちの逆拡散符号  $C_0$  (1 ビット) との乗算が行われる。第 2 乃至第 8 の乗算器 132～138 では、タップ付きシフトレジスタ 110 の偶数番目のフリップフロップ群 112, 114, 116, 118, 120, 122, 124 の出力信号と逆拡散符号  $C_1 \sim C_7$  との乗算がそれぞれ行われる。

10 乗算器 131～138 では、たとえば、逆拡散符号が 0 を示すときは、デジタル信号 I。および偶数番目のフリップフロップ群 112, 114, 116, 118, 120, 122, 124 の出力信号と -1 との乗算がそれぞれ行われ、逆拡散符号が 1 を示すときは、デジタル信号 I。および偶数番目のフリップフロップ群 112, 114, 116, 118, 120, 122, 124 の出力信号と 1 との乗算がそれぞれ行われる。なお、乗算器 131～138 における乗算の方法はこれに限らず、たとえば、逆拡散符号が 0 を示すときは、デジタル信号 I。および偶数番目のフリップフロップ群 112, 114, 116, 118, 120, 122, 124 の出力信号と 1 との乗算がそれぞれ行われ、逆拡散符号が 1 を示すときは、デジタル信号 I。および偶数番目のフリップフロップ群 112, 114, 116, 118, 120, 122, 124 の出力信号と -1 との乗算がそれを行ってもよい。

第 1 乃至第 4 の加算器 141～144 は、6 ビット + 6 ビットの加算器であり、7 ビットの出力信号を出力する。第 5 および第 6 の加算器 145, 146 は、7 ビット + 7 ビットの加算器であり、8 ビットの出力信号を出力する。第 7 の加算器 147 は、8 ビット + 8 ビットの加算器であり、9 ビットの出力信号を出力する。第 1 の加算器 141 では、第 1 の乗算器 131 の出力信号 (6 ビット) と第 2 の乗算器 132 の出力信号 (6 ビット) との加算が行われる。第 2 の加算器 142 では、第 3 の乗算器 133 の出力信号 (6 ビット) と第 4 の乗算器 134 の出力信号 (6 ビット) との加算が行われる。第 3 の加算器 143 では、第 5 の乗

算器 135 の出力信号 (6 ビット) と第 6 の乗算器 136 の出力信号 (6 ビット) との加算が行われる。第 4 の加算器 144 では、第 7 の乗算器 137 の出力信号 (6 ビット) と第 8 の乗算器 138 の出力信号 (6 ビット) との加算が行われる。第 5 の加算器 145 では、第 1 の加算器 141 の出力信号 (7 ビット) と第 2 の  
5 加算器 142 の出力信号 (7 ビット) との加算が行われる。第 6 の加算器 146 では、第 3 の加算器 143 の出力信号 (7 ビット) と第 4 の加算器 144 の出力信号 (7 ビット) との加算が行われる。第 7 の加算器 147 では、第 5 の加算器 145 の出力信号 (8 ビット) と第 6 の加算器 146 の出力信号 (8 ビット) との加算が行われる。

10 このデジタルマッチトフィルタにおいても、第 7 の加算器 147 においてデジタル信号  $I_o$  と逆拡散符号列  $C_7, C_6, C_5, C_4, C_3, C_2, C_1, C_0$  との相関値  $MFO_{OUT}$  が得られ、出力端子 105 を介して外部に出力される。なお、このデジタルマッチトフィルタでは、8.192 MHz のクロック  $CLK$  がクロック入力端子 102 に入力されるごとに相関値  $MFO_{OUT}$  を得ることができるため、第 1 図  
15 に示したデジタルマッチトフィルタに比べて 1/2 倍の時間間隔で相関値  $MFO_{UT}$  を得ることができる。

しかしながら、第 1 図および第 3 図に示した従来のデジタルマッチトフィルタでは、消費電力が大きいという問題がある。すなわち、第 1 図に示した従来のデジタルマッチトフィルタでは、デジタル信号  $I_o$  と逆拡散符号列  $C_7, C_6, C_5,$   
20  $C_4, C_3, C_2, C_1, C_0$  との相関値  $MFO_{UT}$  を得るために、第 1 乃至第 7 のフリップフロップ群 11～17 からなるタップ付きシフトレジスタ 10 をタップ付き遅延線部として用いている結果、タップ付きシフトレジスタ 10 は 4.096 MHz のクロック  $CLK$  に同期して動作するため、消費電力が大きくなる。また、第 3 図に示した従来のデジタルマッチトフィルタでは、デジタル信号  $I_o$  と逆拡  
25 散符号列  $C_7, C_6, C_5, C_4, C_3, C_2, C_1, C_0$  との相関値  $MFO_{UT}$  を得るために、第 1 乃至第 14 のフリップフロップ群 11～124 からなるタップ付きシフトレジスタ 110 をタップ付き遅延線部として用いている結果、タップ付きシフトレジスタ 110 は 8.192 MHz のクロック  $CLK$  に同期して動作するため、消費電力がさらに大きくなる。

携帯電話などのスペクトラム拡散信号の相関検出用の相関検出器では、同相チャネルおよび直交チャネルについて相関検出を行う必要があるため、上記のような従来のデジタルマッチトフィルタを2つ用いて相関検出器を構成する必要がある。その結果、第1図または第3図に示した従来のデジタルマッチトフィルタを用いて相関検出器を構成すると、相関検出器の消費電力が大きくなるという問題がある。また、デジタル信号のビット数、シフトレジスタのタップ数および補間処理数が増えるに比例して相関検出器の消費電力が大きくなるという問題がある。

相関検出器の低消費電力化を図るために、アナログ信号処理で相関検出を行うアナログ・デジタルフィルタを基本構成とした広帯域DS-CDMA用マッチトフィルタが開発されている（佐和橋ら、「広帯域DS-CDMA用低消費電力マッチトフィルタLSI」、電子情報通信学会技術研究報告（無線通信），RCS95-120，1996年1月）。しかし、この広帯域DS-CDMA用マッチトフィルタは、アナログ入力信号が入力される複数のサンプルホールド回路から構成されたタップ付き遅延部と、このタップ付き遅延部の各出力信号とデジタル信号である乗数との乗算を行う複数個の乗算回路とを用いている。このため、デジタル信号処理が主に行われるスペクトラム拡散通信方式の携帯電話などの用途では、デジタル回路ですべて構成されたデジタルマッチトフィルタの方がデジタル信号処理用の周辺回路との集積性がよりよい。

また、米国特許第5,396,446号には、入力信号がそれぞれ入力される複数のホールド回路と、乗数が格納された巡回型タップ付きシフトレジスタと、複数のホールド回路の各出力信号と巡回型タップ付きシフトレジスタの各出力信号とをそれぞれ乗算する複数の乗算器と、複数の乗算器の出力信号を加算する加算器とを含むデジタルフィルタ回路が開示されている。しかしながら、このデジタルフィルタ回路は、タップ付き遅延線部としてタップ付きシフトレジスタを用いる従来のデジタルマッチトフィルタに比べて低消費電力化を図る目的で考え出されたものではなく、2つの差動アンプと2つのトランジスタと2つのコンデンサとを用いてホールド回路を構成して、2つのトランジスタの導通／非導通を互いに逆位相のクロックで制御することにより、ホールドエラーを最小限に抑えることを目的として考え出されたものである。また、このデジタルフィルタ回路で

は、入力データは各ホールド回路のコンデンサに蓄積されて保持されるため、デジタル回路で入力データを保持する場合に比べ、入力データの保持精度が劣る。さらに、このデジタルフィルタ回路では、ホールド回路、乗算器および加算器は、コンデンサなどのアナログ素子を用いて構成されている。このため、デジタル信号処理が主に行われるスペクトラム拡散通信方式の携帯電話などの用途では、デジタル回路ですべて構成されたデジタルマッチトフィルタの方がデジタル信号処理用の周辺回路との集積性がよりよい。

本発明の目的は、低消費電力化が図れ、かつ、携帯電話などに使用した場合にもデジタル信号処理用の周辺回路とともにLSIにすることが容易なデジタルマッチトフィルタを提供することにある。

#### 発明の開示

本発明の第1のデジタルマッチトフィルタは、

クロックに同期したNビットのデジタル信号とM個のデジタル符号からなるデジタル符号列との相関値を求めるためのデジタルマッチトフィルタであって、

a) 前記Nビットのデジタル信号が入力される第1乃至第Mのデジタル信号記憶手段と、

b) 前記クロックに同期して前記第1乃至第Mのデジタル信号記憶手段を順に1個ずつ選択して、該選択したデジタル信号記憶手段に前記Nビットのデジタル信号を記憶させるデジタル書き込み選択手段と、

c) 縦続接続された第1段乃至第M段の符号用フリップフロップを有し、かつ、前記クロックに同期して動作するデジタル符号列用巡回型シフトレジスタであって、

- 前記M個のデジタル符号が前記第1段乃至第M段の符号用フリップフロップにそれぞれ格納され、

前記第M段の符号用フリップフロップの出力端子が前記第1段の符号用フリップフロップの入力端子に接続されている、

デジタル符号列用巡回型シフトレジスタと、

d) 前記第1乃至第Mのデジタル信号記憶手段の出力信号と前記第1段乃至第M段の符号用フリップフロップの出力信号とをそれぞれ乗算する第1乃至第Mの

デジタル乗算手段と、

e) 該第1乃至第Mのデジタル乗算手段の出力信号を加算するデジタル加算手段と、  
を含む。

5 本発明の第1のデジタルマッチトフィルタは、FIRデジタルフィルタを用いて構成されたM倍拡散Mタップのデジタルマッチトフィルタにおいて、ビット数が多いデジタル信号をクロックに同期してシフトさせずにデジタル符号をクロックに同期してシフトさせて両者の相関値を求めるため、デジタル符号をクロックに同期してシフトさせずにビット数が多いデジタル信号をクロックに同期してシ  
10 フトさせて両者の相関値を求める従来のデジタルマッチトフィルタと比べて、デジタル信号を記憶する際の消費電力を大幅に低減することができる。

本発明の第2のデジタルマッチトフィルタは、

第2のクロックのm倍の周波数を有する第1のクロックでオーバーサンプリングされたNビットのデジタル信号とM個のデジタル符号からなるデジタル符号列  
15 との相関値を求めるためのデジタルマッチトフィルタであって、  
a) 前記Nビットのデジタル信号が入力される $m \times M$ 個のデジタル信号記憶手段と、  
b) 前記第1のクロックに同期して前記 $m \times M$ 個のデジタル信号記憶手段を順に1個ずつ選択し、該選択したデジタル信号記憶手段に前記Nビットのデジタル  
20 信号を記憶させるデジタル書き込み選択手段と、  
c) 前記 $m \times M$ 個のデジタル信号記憶手段をm個ごとに分割して前記 $m \times M$ 個のデジタル信号記憶手段をM個のブロックに分け、該M個のブロックに含まれる前記m個のデジタル信号記憶手段の出力信号を前記第2のクロックの一周期内に順に選択して出力する第1乃至第Mのデジタル選択手段と、  
25 d) 繼続接続された第1段乃至第M段の符号用フリップフロップを有し、かつ、前記第2のクロックに同期して動作するデジタル符号列用巡回型シフトレジスタであって、  
・前記M個のデジタル符号が前記第1段乃至第M段の符号用フリップフロップにそれぞれ格納され、

・前記第M段の符号用フリップフロップの出力端子が前記第1段の符号用フリップフロップの入力端子に接続されている、  
デジタル符号列用巡回型シフトレジスタと、

5 e) 前記第1乃至第Mのデジタル選択手段の出力信号と前記第1段乃至第M段の  
符号用フリップフロップの出力信号とをそれぞれ乗算する第1乃至第Mのデジ  
タル乗算手段と、  
f) 該第1乃至第Mのデジタル乗算手段の出力信号を加算するデジタル加算手段  
と、  
を含む。

10 本発明の第2のデジタルマッチトフィルタは、 $FIR_m$ 倍補間デジタルフィル  
タを用いて構成されたM倍拡散 ( $m \times M$ ) タップのデジタルマッチトフィルタに  
おいて、ビット数が多いデジタル信号をクロックに同期してシフトさせずにデジ  
タル符号をクロックに同期してシフトさせて両者の相関値を求めるため、デジタ  
ル符号をクロックに同期してシフトさせずにビット数が多いデジタル信号をクロ  
15 ックに同期してシフトさせて両者の相関値を求める従来のデジタルマッチトフィ  
ルタと比べて、デジタル信号を記憶する際の消費電力を大幅に低減するこ  
ができる。

本発明の第3のデジタルマッチトフィルタは、  
第2のクロックのm倍の周波数を有する第1のクロックでオーバーサンプリン  
20 グされたNビットのデジタル信号とM個のデジタル符号からなるデジタル符号列  
との相関値を求めるためのデジタルマッチトフィルタであって、  
a) シリアルに入力される前記デジタル信号をシリアル/パラレル変換して第1  
乃至第mのデジタル信号をパラレルに出力するシリアル/パラレル変換手段と、  
b) 該シリアル/パラレル変換手段から前記第1乃至第mのデジタル信号がそれ  
25 ぞれ入力され、かつ、M個の記憶ユニットをそれぞれ有する第1乃至第mのデ  
ジタル信号用記憶手段と、  
c) 前記第2のクロックに同期して前記第1乃至第mのデジタル信号用記憶手段  
ごとに前記M個の記憶ユニットを順に1個ずつ選択し、該選択した記憶ユニッ  
トに前記第1乃至第Mのデジタル信号をそれぞれ記憶させるデジタル書き込み選

択手段と、

d) 前記第1乃至第mのデジタル信号用記憶手段の出力信号を前記M個の記憶ユニットごとに前記第2のクロックの一周期内に順に選択してそれぞれ出力する第1乃至第Mのデジタル選択手段と、

5 e) 縦続接続された第1段乃至第M段の符号用フリップフロップを有し、かつ、前記第2のクロックに同期して動作するデジタル符号列用巡回型シフトレジスタであって、

- 前記M個のデジタル符号が前記第1段乃至第M段の符号用フリップフロップにそれぞれ格納され、

10 • 前記第M段の符号用フリップフロップの出力端子が前記第1段の符号用フリップフロップの入力端子に接続されている、

デジタル符号列用巡回型シフトレジスタと、

f) 前記第1乃至第Mのデジタル選択手段の出力信号と前記第1段乃至第M段の符号用フリップフロップの出力信号とをそれぞれ乗算する第1乃至第Mのデジタル乗算手段と、

15 g) 該第1乃至第Mのデジタル乗算手段の出力信号を加算するデジタル加算手段と、

を含むデジタルマッチトフィルタ。

本発明の第3デジタルマッチトフィルタは、FIRデジタルフィルタを用いて構成されたM倍拡散Mタップのデジタルマッチトフィルタをm個用いて、第2のクロックのm倍の周波数を有する第1のクロックでオーバーサンプリングされたデジタル信号とデジタル符号との相関を求める際に、ビット数が多いデジタル信号をクロックに同期してそれシフトさせずにデジタル符号をクロックに同期してシフトさせて両者の相関値を求めるため、デジタル符号をクロックに同期してシフトさせずにビット数が多いデジタル信号をクロックに同期してそれシフトさせて両者の相関値を求める従来のデジタルマッチトフィルタと比べて、デジタル信号を記憶する際の消費電力を大幅に低減することができる。

図面の簡単な説明

第1図は、FIRデジタルフィルタを用いて構成された8倍拡散8タップのデ

ジタルマッチトフィルタの従来例を示すブロック図である。

第2図は、第1図に示したデジタルマッチトフィルタにおける乗算の手順を説明するための図である。

第3図は、FIR 2倍補間デジタルフィルタを用いて構成された8倍拡散16

5 タップのデジタルマッチトフィルタの従来例を示すブロック図である。

第4図は、本発明の第1の実施態様によるデジタルマッチトフィルタを示すブロック図である。

第5図は、第4図に示したデジタルマッチトフィルタにおける乗算の手順を説明するための図である。

10 第6図は、本発明の第2の実施態様によるデジタルマッチトフィルタが備える書込み選択回路を示すブロック図である。

第7図は、第6図に示した書込み選択回路の動作を説明するためのタイミング図である。

15 第8図は、本発明の第3の実施態様によるデジタルマッチトフィルタを示すブロック図である。

第9図は、本発明の第4の実施態様によるデジタルマッチトフィルタを示すブロック図である。

第10図は、本発明の第5の実施態様によるデジタルマッチトフィルタを示すブロック図である。

20 発明を実施するための最良の形態

(第1の実施態様)

本発明の第1の実施態様によるデジタルマッチトフィルタは、FIRデジタルフィルタを用いて構成された8倍拡散8タップのデジタルマッチトフィルタであって、第4図に示すように、信号入力端子201と、クロック入力端子202と、

25 第1乃至第8のフリップフロップ群211～218からなる記憶部210と、第1乃至第8の書込み選択用フリップフロップ221～228からなる巡回型タップ付きシフトレジスタを用いて構成された書込み選択回路220と、第1乃至第8の逆拡散符号用フリップフロップ231～238からなる巡回型タップ付きシフトレジスタを用いて構成された逆拡散符号列用シフトレジスタ230と、第1

乃至第8の乗算器241～248と、第1乃至第7の加算器251～257と、出力端子205とを含む。ここで、記憶部210を構成する第1乃至第8のフリップフロップ群211～218はそれぞれ、互いに並列接続された6個のフリップフロップから構成されている。

5 信号入力端子201には、アナログ信号（たとえば、スペクトラム拡散信号）が4.096MHzのサンプリング周波数でサンプリングされて生成されたデジタル信号I<sub>0</sub>が入力される。なお、デジタル信号I<sub>0</sub>は、クロック入力端子202に入力される4.096MHzのクロックCLKに同期した6ビットの2の補数表現のデジタル信号である。

10 記憶部210を構成する第1乃至第8のフリップフロップ群211～218のデータ入力端子Dには、デジタル信号I<sub>0</sub>が入力されている。また、第1乃至第8のフリップフロップ群211～218のクロック入力端子Cには、書き込み選択回路220を構成する第1乃至第8の書き込み選択用フリップフロップ221～228の出力信号がそれぞれ入力されている。

15 書込み選択回路220を構成する第1乃至第8の書き込み選択用フリップフロップ221～228は、初期状態では、任意の一つの書き込み選択用フリップフロップに“1”（論理値でハイレベル）が書き込まれており、他の書き込み選択用フリップフロップには“0”（論理値でロウレベル）が書き込まれている。以降、説明の簡単のため、初期状態では、第8の書き込み選択用フリップフロップ228のみに“1”が書き込まれているとする。第1乃至第8の書き込み選択用フリップフロップ221～228のクロック入力端子Cには、クロックCLKが入力されている。第8の書き込み選択用フリップフロップ228のクロック入力端子CにクロックCLKが入力すると、初期状態で第8の書き込み選択用フリップフロップ228に書き込まれた“1”が第1の書き込み選択用フリップフロップ221にシフトされる。第1の書き込み選択用フリップフロップ221にシフトされた“1”は、以降、クロックCLKに同期して、第2の書き込み選択用フリップフロップ222から第8の書き込み選択用フリップフロップ228に向って順にシフトされる。これにより、記憶部210を構成する第1乃至第8のフリップフロップ群211～218のクロック入力端子Cには“1”がクロックCLKに同期して順に入力さ

れるため、デジタル信号  $I_0$  がクロック CLK に同期して第 1 乃至第 8 のフリップフロップ群 211 ～ 218 に順に取り込まれて保持される。

逆拡散符号列用シフトレジスタ 230 を構成する第 1 乃至第 8 の逆拡散符号用フリップフロップ 231 ～ 238 には、8 ビットの逆拡散符号列  $C_0, C_1, C_2, C_3, C_4, C_5, C_6, C_7$  の逆拡散符号がそれぞれ書き込まれている。以降、説明の簡単のため、初期状態では、逆拡散符号  $C_0 \sim C_7$  は、逆拡散符号  $C_0$  から逆拡散符号  $C_7$  の順番で第 1 乃至第 8 の逆拡散符号用フリップフロップ 231 ～ 238 にそれぞれ格納されているとする。

第 1 乃至第 8 の逆拡散符号用フリップフロップ 231 ～ 238 のクロック入力端子 C には、クロック CLK が入力されており、クロック CLK に同期して、第 1 乃至第 8 の逆拡散符号用フリップフロップ 231 ～ 238 に格納された各逆拡散符号  $C_0 \sim C_7$  が第 1 の逆拡散符号用フリップフロップ 231 から第 8 の逆拡散符号用フリップフロップ 238 へ向って順にシフトされる。なお、第 8 の逆拡散符号用フリップフロップ 238 にシフトされた逆拡散符号は、次のクロック C LK に同期して、第 1 の逆拡散符号用フリップフロップ 231 にシフトされる。これにより、第 1 乃至第 8 の逆拡散符号用フリップフロップ 231 ～ 238 からは、クロック CLK に同期して、逆拡散符号  $C_0$  から逆拡散符号  $C_7$  が順にシフトされながら出力される。

第 1 乃至第 8 の乗算器 241 ～ 248 は、6 ビット × 1 ビットの乗算器であり、6 ビットの出力信号を出力する。第 1 乃至第 8 の乗算器 241 ～ 248 では、第 1 乃至第 8 のフリップフロップ群 211 ～ 218 の出力信号（6 ビット）と第 1 乃至第 8 の逆拡散符号用フリップフロップ 231 ～ 238 から出力される逆拡散符号（1 ビット）との乗算がそれぞれ行われる。なお、乗算器 241 ～ 248 では、たとえば、逆拡散符号が 1 を示すときは、第 1 乃至第 8 のフリップフロップ群 211 ～ 218 の出力信号と 1 との乗算が行われ、逆拡散符号が 0 を示すときは、第 1 乃至第 8 のフリップフロップ群 211 ～ 218 の出力信号と -1 との乗算が行われる。

各乗算器 241 ～ 248 における乗算の手順について、第 5 図を参照して以下に述べる。

第1の動作状態では、信号入力端子201にデジタル信号I。の1番目のサンプリングデータD。がクロックCLKに同期して入力されるとともに、初期状態において書き込み選択回路220の第8の書き込み選択用フリップフロップ228に書き込まれた“1”がクロックCLKに同期して第1の書き込み選択用フリップフロップ221にシフトされる。この結果、記憶部210の第1のシフトレジスタ群211のクロック入力端子Cにのみ“1”が入力されて、1番目のサンプリングデータD。が第1のシフトレジスタ群211に取り込まれて保持される。また、初期状態で逆拡散符号列用シフトレジスタ230の第8の逆拡散符号用フリップフロップ238に格納された逆拡散符号C。がクロックCLKに同期して第1の逆拡散符号用フリップフロップ231にシフトされる結果、1番目のサンプリングデータD。と逆拡散符号C。との乗算が第1の乗算器241で行われる。したがって、D。×C。の値を示す出力信号が、第1の乗算器241から出力される。

第2の動作状態では、信号入力端子201にデジタル信号I。の2番目のサンプリングデータD。がクロックCLKに同期して入力されるとともに、第1の動作状態で書き込み選択回路220の第1の書き込み選択用フリップフロップ221にシフトされた“1”がクロックCLKに同期して第2の書き込み選択用フリップフロップ222にシフトされる。この結果、記憶部210の第2のシフトレジスタ群212のクロック入力端子Cにのみ“1”が入力されて、2番目のサンプリングデータD。が第2のシフトレジスタ群212に取り込まれて保持される。このとき、第1のフリップフロップ群211には、第1の動作状態で取り込まれた1番目のサンプリングデータD。がそのまま保持されている。また、逆拡散符号列用シフトレジスタ230に格納されている各逆拡散符号がクロックCLKに同期してシフトされる結果、第1の動作状態で第1の逆拡散符号用フリップフロップ231にシフトされた逆拡散符号C。が第2の逆拡散符号用フリップフロップ232にシフトされるとともに、第1の動作状態で第8の逆拡散符号用フリップフロップ238にシフトされた逆拡散符号C。が第1の逆拡散符号用フリップフロップ231にシフトされる。その結果、2番目のサンプリングデータD。と逆拡散符号C。との乗算が第2の乗算器242で行われるとともに、1番目のサンプリングデータD。と逆拡散符号C。との乗算が第1の乗算器241で行われる。

したがって、 $D_1 \times C_0$  の値を示す出力信号が第 2 の乗算器 242 から出力されるとともに、 $D_0 \times C_1$  の値を示す出力信号が第 1 の乗算器 241 から出力される。

第 3 の動作状態では、信号入力端子 201 にデジタル信号 I。の 3 番目のサン

5 プリングデータ  $D_2$  がクロック CLK に同期して入力されるとともに、第 2 の動作状態で書き込み選択回路 220 の第 2 の書き込み選択用フリップフロップ 222 にシフトされた “1” がクロック CLK に同期して第 3 の書き込み選択用フリップフロップ 223 にシフトされる。この結果、記憶部 210 の第 3 のシフトレジスタ群 213 のクロック入力端子 C にのみ “1” が入力されて、3 番目のサンプリングデータ  $D_2$  が第 3 のシフトレジスタ群 213 に取り込まれて保持される。このとき、第 1 のフリップフロップ群 211 には、第 1 の動作状態で取り込まれた 1 番目のサンプリングデータ  $D_0$  がそのまま保持されており、第 2 のフリップフロップ群 212 には、第 2 の動作状態で取り込まれた 2 番目のサンプリングデータ  $D_1$  がそのまま保持されている。また、逆拡散符号列用シフトレジスタ 230 に

10 格納されている各逆拡散符号がクロック CLK に同期してシフトされる結果、第 2 の動作状態で第 2 の逆拡散符号用フリップフロップ 232 にシフトされた逆拡散符号  $C_0$  が第 3 の逆拡散符号用フリップフロップ 233 にシフトされ、第 2 の動作状態で第 1 の逆拡散符号用フリップフロップ 231 にシフトされた逆拡散符号  $C_1$  が第 2 の逆拡散符号用フリップフロップ 232 にシフトされ、第 2 の動作

15 状態で第 8 の逆拡散符号用フリップフロップ 238 にシフトされた逆拡散符号  $C_2$  が第 1 の逆拡散符号用フリップフロップ 231 にシフトされる。その結果、3 番目のサンプリングデータ  $D_2$  と逆拡散符号  $C_0$  との乗算が第 3 の乗算器 243 で行われ、2 番目のサンプリングデータ  $D_1$  と逆拡散符号  $C_1$  との乗算が第 2 の乗算器 242 で行われ、1 番目のサンプリングデータ  $D_0$  と逆拡散符号  $C_2$  との乗算が第 1 の乗算器 241 で行われる。したがって、 $D_2 \times C_0$  の値を示す出力信号が第 3 の乗算器 243 から出力され、 $D_1 \times C_1$  の値を示す出力信号が第 2 の乗算器 242 から出力され、 $D_0 \times C_2$  の値を示す出力信号が第 1 の乗算器 241 から出力される。以降、第 7 の動作状態まで同様の動作が繰り返される。

20 第 8 の動作状態では、信号入力端子 201 にデジタル信号 I。の 8 番目のサン

25

プリングデータ  $D_7$  がクロック CLK に同期して入力されるとともに、第 7 の動作状態で書き込み選択回路 220 の第 7 の書き込み選択用フリップフロップ 227 にシフトされた “1” がクロック CLK に同期して第 8 の書き込み選択用フリップフロップ 228 にシフトされる。この結果、記憶部 210 の第 8 のシフトレジスタ群 218 のクロック入力端子 C にのみ “1” が入力されて、8 番目のサンプリングデータ  $D_7$  が第 8 のシフトレジスタ群 218 に取り込まれて保持される。このとき、第 1 乃至第 7 のフリップフロップ群 211 ～ 217 には、第 7 の動作状態までに取り込まれた 1 番目乃至 7 番目のサンプリングデータ  $D_0$  ～  $D_6$  がそれぞれそのまま保持されている。また、逆拡散符号列用シフトレジスタ 230 に格納されている各逆拡散符号がクロック CLK に同期してシフトされる結果、第 1 乃至第 8 の逆拡散符号用フリップフロップ 231 ～ 238 には逆拡散符号  $C_7$  ～  $C_0$  がそれぞれ格納される。これにより、記憶部 210 の第 1 乃至第 8 のフリップフロップ 211 ～ 218 にそれぞれ保持されたデジタル信号  $I_0$  の 1 番目から 8 番目のサンプリングデータ  $D_0$  ～  $D_7$  と逆拡散符号列用シフトレジスタ 230 の第 1 乃至第 8 の逆拡散符号列用フリップフロップ 231 ～ 238 にそれぞれシフトされた逆拡散符号  $C_7$  ～  $C_0$  との乗算が、第 1 乃至第 8 の乗算器 241 ～ 248 でそれぞれ行われる。その結果、 $D_7 \times C_7$  の値を示す出力信号が第 8 の乗算器 248 から出力され、 $D_6 \times C_6$  の値を示す出力信号が第 7 の乗算器 247 から出力され、 $D_5 \times C_5$  の値を示す出力信号が第 6 の乗算器 246 から出力され、 $D_4 \times C_4$  の値を示す出力信号が第 5 の乗算器 245 から出力され、 $D_3 \times C_3$  の値を示す出力信号が第 4 の乗算器 244 から出力され、 $D_2 \times C_2$  の値を示す出力信号が第 3 の乗算器 243 から出力され、 $D_1 \times C_1$  の値を示す出力信号が第 2 の乗算器 242 から出力され、 $D_0 \times C_0$  の値を示す出力信号が第 1 の乗算器 241 から出力される。

以上の動作により、デジタル信号  $I_0$  の最初の 8 個のサンプリングデータ  $D_7$  ～  $D_0$  と 8 ビットの逆拡散符号列  $C_7$  ～  $C_0$  との相関値を求めるのに必要な乗算がすべて行われる。

第 9 の動作状態では、信号入力端子 201 にデジタル信号  $I_0$  の 9 番目のサンプリングデータ  $D_9$  がクロック CLK に同期して入力されるとともに、第 8 の動

作状態で書込み選択回路 220 の第 8 の書込み選択用フリップフロップ 228 にシフトされた “1” がクロック CLK に同期して第 1 の書込み選択用フリップフロップ 221 にシフトされる。この結果、記憶部 210 の第 1 のシフトレジスタ群 211 のクロック入力端子 C にのみ “1” が入力されて、9 番目のサンプリングデータ  $D_8$  が第 1 のシフトレジスタ群 211 に取り込まれて保持される。このとき、第 2 乃至第 8 のフリップフロップ群 211 ～ 218 には、第 8 の動作状態までに取り込まれた 2 番目乃至 8 番目のサンプリングデータ  $D_1$  ～  $D_7$  がそれぞれそのまま保持されている。また、逆拡散符号列用シフトレジスタ 230 に格納されている各逆拡散符号がクロック CLK に同期してシフトされる結果、第 1 の逆拡散符号用フリップフロップ 231 には逆拡散符号  $C_0$  が格納され、第 2 乃至第 8 の逆拡散符号用フリップフロップ 232 ～ 238 には逆拡散符号  $C_1$  ～  $C_7$  がそれぞれ格納される。これにより、記憶部 210 の第 1 のフリップフロップ 211 に保持されたデジタル信号  $I_0$  の 9 番目のサンプリングデータ  $D_8$  と逆拡散符号列用シフトレジスタ 230 の第 1 の逆拡散符号用フリップフロップ 231 に格納された逆拡散符号  $C_0$  との乗算が第 1 の乗算器 241 で行われるとともに、第 2 乃至第 9 のフリップフロップ 212 ～ 218 にそれぞれ保持されたデジタル信号  $I_0$  の 2 番目から 8 番目のサンプリングデータ  $D_1$  ～  $D_7$  と逆拡散符号列用シフトレジスタ 230 の第 2 乃至第 8 の逆拡散符号用フリップフロップ 231 ～ 238 にそれぞれ格納された逆拡散符号  $C_1$  ～  $C_7$  との乗算が第 2 乃至第 8 の乗算器 242 ～ 248 でそれぞれ行われる。その結果、 $D_8 \times C_0$  の値を示す出力信号が第 1 の乗算器 241 から出力され、 $D_1 \times C_1$  の値を示す出力信号が第 8 の乗算器 248 から出力され、 $D_6 \times C_2$  の値を示す出力信号が第 7 の乗算器 247 から出力され、 $D_5 \times C_3$  の値を示す出力信号が第 6 の乗算器 246 から出力され、 $D_4 \times C_4$  の値を示す出力信号が第 5 の乗算器 245 から出力され、 $D_3 \times C_5$  の値を示す出力信号が第 4 の乗算器 244 から出力され、 $D_2 \times C_6$  の値を示す出力信号が第 3 の乗算器 243 から出力され、 $D_1 \times C_7$  の値を示す出力信号が第 2 の乗算器 242 から出力される。

その結果、デジタル信号  $I_0$  の最初の 8 個のサンプリングデータ  $D_1$  ～  $D_8$  から 1 サンプリング後の 8 個のサンプリングデータ  $D_9$  ～  $D_{16}$  が得られる。

$D_7, D_6, D_5, D_4, D_3, D_2, D_1$  と 8 ビットの逆拡散符号列  $C_7, C_6, C_5, C_4, C_3, C_2, C_1, C_0$  との相関値を求めるのに必要な乗算がすべて行われる。以降、同様の動作が繰り返される。

第 1 乃至第 4 の加算器 251 ～ 254 は、6 ビット + 6 ビットの加算器であり、  
 5 7 ビットの出力信号を出力する。第 5 および第 6 の加算器 255, 256 は、7  
 ビット + 7 ビットの加算器であり、8 ビットの出力信号を出力する。第 7 の加算  
 器 257 は、8 ビット + 8 ビットの加算器であり、9 ビットの出力信号を出力す  
 る。第 1 の加算器 251 では、第 1 の乗算器 241 の出力信号（6 ビット）と第  
 2 の乗算器 242 の出力信号（6 ビット）との加算が行われる。第 2 の加算器 2  
 10 52 では、第 3 の乗算器 243 の出力信号（6 ビット）と第 4 の乗算器 244 の  
 出力信号（6 ビット）との加算が行われる。第 3 の加算器 253 では、第 5 の乗  
 算器 255 の出力信号（6 ビット）と第 6 の乗算器 256 の出力信号（6 ビット）  
 との加算が行われる。第 4 の加算器 254 では、第 7 の乗算器 247 の出力信号  
 （6 ビット）と第 8 の乗算器 248 の出力信号（6 ビット）との加算が行われる。  
 15 第 5 の加算器 255 では、第 1 の加算器 251 の出力信号（7 ビット）と第 2 の  
 加算器 252 の出力信号（7 ビット）との加算が行われる。第 6 の加算器 256  
 では、第 3 の加算器 253 の出力信号（7 ビット）と第 4 の加算器 254 の出力  
 信号（7 ビット）との加算が行われる。第 7 の加算器 257 では、第 5 の加算器  
 255 の出力信号（8 ビット）と第 6 の加算器 256 の出力信号（8 ビット）と  
 20 の加算が行われる。この結果、デジタル信号 I。と逆拡散符号列  $C_7, C_6, C_5,$   
 $C_4, C_3, C_2, C_1, C_0$  との相関値 MFOUT が第 7 の加算器 257 で得られ、出  
 力端子 205 を介して外部に出力される。

次に、本実施態様によるデジタルマッチトフィルタと第 1 図に示した従来のデ  
 ジタルマッチトフィルタとの消費電力の比較について説明する。本実施態様によ  
 るデジタルマッチトフィルタでは、クロック CLK ごとのデジタル信号 I。の記  
 憶部 210 への書き込みは、第 1 乃至第 8 のフリップフロップ群 211 ～ 218 の  
 うちの 1 つでしか行われない。したがって、各フリップフロップ群 211 ～ 21  
 8 を構成する一つのフリップフロップの消費電力を W とすると、記憶部 210 に  
 における消費電力は  $6W$  となる。また、本実施態様によるデジタルマッチトフィル

タでは、書き込み選択回路 220 を構成する第1乃至第8の書き込み選択用フリップフロップ 221～228 と逆拡散符号列用シフトレジスタ 230 を構成する第1乃至第8の逆拡散符号用フリップフロップ 231～238 とはクロック CLK に同期して動作するため、書き込み選択回路 220 および逆拡散符号列用シフトレジスタ 230 における消費電力は  $2 \times 8 \text{ W} = 16 \text{ W}$  となる。したがって、本実施態様によるデジタルマッチトフィルタの記憶部 210、書き込み選択回路 220 および逆拡散符号列用シフトレジスタ 230 における消費電力は  $6 \text{ W} + 16 \text{ W} = 22 \text{ W}$  となる。これに対して、第1図に示した従来のデジタルマッチトフィルタでは、クロック CLK ごとのデジタル信号 I<sub>0</sub> のタップ付きシフトレジスタ 10 への書き込み時には、第1乃至第7のフリップフロップ群 11～18 はクロック CLK に同期してすべて動作するため、タップ付きシフトレジスタ 10 における消費電力は  $6 \times 7 \text{ W} = 42 \text{ W}$  となる。したがって、本実施態様によるデジタルマッチトフィルタの第1乃至第8の乗算器 241～248 および第1乃至第7の加算器 251～257 における消費電力と第1図に示した従来のデジタルマッチトフィルタの第1乃至第8の乗算器 21～28 および第1乃至第7の加算器 31～37 における消費電力とは同じであるため、本実施態様によるデジタルマッチトフィルタの消費電力は、第1図に示した従来のデジタルマッチトフィルタの消費電力に比べて  $22 \text{ W} / 42 \text{ W} \approx 1/2$  となる。

一般的には、M倍拡散Mタップデジタルマッチトフィルタでは、デジタル信号 I<sub>0</sub> のビット数を N とすると、本実施態様によるデジタルマッチトフィルタでは、記憶部 210 の各フリップフロップ群は N 個のフリップフロップで構成され、書き込み選択回路 220 および逆拡散符号列用シフトレジスタ 230 はそれぞれ M 個のフリップフロップで構成される。したがって、本実施態様によるデジタルマッチトフィルタの記憶部 210、書き込み選択回路 220 および逆拡散符号列用シフトレジスタ 230 における消費電力は、 $NW + MW + MW = (N + M + M) \text{ W}$  となる。これに対して、第1図に示した従来のデジタルマッチトフィルタでは、タップ付きシフトレジスタ 10 は  $(M - 1) N$  個のフリップフロップで構成されるため、タップ付きシフトレジスタ 10 における消費電力は  $(M - 1) NW$  となる。したがって、本実施態様によるデジタルマッチトフィルタの消費電力は、第1図

に示した従来のデジタルマッチトフィルタの消費電力に比べて、 $(N+M+M)W / (M-1)N = (N+M+M) / (M-1)N$  となる。なお、一般的には  $M \gg 1$  であるので、本実施態様によるデジタルマッチトフィルタの消費電力は、第1図に示した従来のデジタルマッチトフィルタの消費電力に比べて、 $1/M + 5 / N + 1 / N$  となる。

上記説明では、逆拡散符号列  $C_7, C_6, C_5, C_4, C_3, C_2, C_1, C_0$  を構成する各逆拡散符号は 1 ビットとした。しかし、逆拡散符号列  $C_7, C_6, C_5, C_4, C_3, C_2, C_1, C_0$  を構成する各逆拡散符号のビット数が 2 以上である場合もある（ただし、各逆拡散符号のビット数はデジタル信号  $I_0$  のビット数よりも小さい）。たとえば、各逆拡散符号が、1, 0, -1 を示す 2 ビットの場合である。各逆拡散符号のビット数が 2 以上である場合には、第4図に示した逆拡散符号列用シフトレジスタ 230 の代わりに、互いに並列接続された 2 個以上のフリップフロップからなるフリップフロップ群を 8 個用いて巡回型タップ付きシフトレジスタを構成された逆拡散符号列用シフトレジスタを使用すればよい。

第1乃至第8の乗算器 241～248 は、論理回路で構成された乗算器である必要はなく、同じ乗算結果を出力する手段（たとえば、逆拡散符号が 1 の場合には入力信号をそのまま出力し、逆拡散符号が 0（係数 -1 の乗算）の場合には入力信号の符号ビットを反転して出力する回路）であってもよい。

（第2の実施態様）

本発明の第2の実施態様によるデジタルマッチトフィルタは、第4図に示した書込み選択回路 220 の代わりに第6図に示す書込み選択回路 300 を含む点で、上述した第1の実施態様によるデジタルマッチトフィルタと異なる。

本実施態様によるデジタルマッチトフィルタが備える書込み選択回路 300 は、第6図に示すように、第1乃至第8の書込み選択用フリップフロップ 311～318 およびセレクタ回路 320 からなる巡回型タップ付きシフトレジスタを用いて構成されている。第1乃至第8の書込み選択用フリップフロップ 311～318 のクロック入力端子 C には、4.096 MHz のクロック CLK がクロック入力端子 301 を介して入力されている。第1乃至第8の書込み選択用フリップフロップ 311～318 のリセット端子 R には、リセット信号 RS がリセット信号

入力端子 302 を介して入力されている。セレクタ回路 320 の第 1 の入力端子 A には、第 8 の書込み選択用フリップフロップ 318 の出力信号  $Q_8$  が入力されている。セレクタ回路 320 の第 2 の入力端子 B には、電源電圧 Vcc (論理値でハイレベルに相当する電圧) が入力されている。セレクタ回路 320 の選択端子 S には、書込みタイミング制御信号 WE が書込みタイミング制御信号入力端子 303 を介して入力されている。セレクタ回路 320 の出力端子 Y は、第 1 の書込み選択用フリップフロップ 311 のデータ入力端子 D に接続されている。なお、セレクタ回路 320 では、書込みタイミング制御信号 WE が “1” (論理値でハイレベル) のとき第 2 の入力端子 B が選択され、書込みタイミング制御信号 WE が “0” (論理値でロウレベル) のとき第 1 の入力端子 A が選択される。

次に、書込み選択回路 300 の動作について、第 7 図に示すタイミング図を参照して説明する。時刻  $t_0$  より前の時刻では、リセット信号 RS が “0” であるため、第 1 乃至第 8 の書込み選択用フリップフロップ 311～318 はすべてリセットされており、第 1 乃至第 8 の書込み選択用フリップフロップ 311～318 の出力信号  $Q_1$ ～ $Q_8$  はすべて 0 とされている。時刻  $t_0$  でリセット信号 RS が “1” とされたのち、時刻  $t_1$  で書込みタイミング制御信号 WE が “1” とされると、セレクタ回路 320 では、第 2 の入力端子 B が選択されて、セレクタ回路 320 の出力端子 Y から出力される出力信号は “1” となる。その結果、時刻  $t_2$  でクロック CLK が “0” から “1” になると、セレクタ回路 320 の出力信号が第 1 の書込み選択用フリップフロップ 311 に取り込まれて保持されて、第 1 の書込み選択用フリップフロップ 311 の出力信号  $Q_1$  は “1” となる。このとき、第 2 乃至第 8 の書込み選択用フリップフロップ 312～318 には、時刻  $t_1$  における第 1 乃至第 7 の書込み選択用フリップフロップ 311～317 の出力信号  $Q_1$ ～ $Q_7$  (すべて 0) がそれぞれ取り込まれて保持されるため、第 2 乃至第 8 の書込み選択用フリップフロップ 312～318 の出力信号  $Q_2$ ～ $Q_8$  は 0 のままである。

時刻  $t_3$  で書込みタイミング制御信号 WE が “0” とされると、セレクタ回路 320 では、第 1 の入力端子 A が選択されて、セレクタ回路 320 の出力端子 Y からは第 8 の書込み選択用フリップフロップ 318 の出力信号  $Q_8$  が出力される。

その結果、時刻  $t_4$  でクロック CLK が “0” から “1” になると、第 8 の書き込み選択用フリップフロップ 318 の出力信号  $Q_8$  が第 1 の書き込み選択用フリップフロップ 311 の出力信号  $Q_1$  は “0” となる。また、第 2 の書き込み選択用フリップフロップ 312 には、時刻  $t_3$  における第 1 の書き込み選択用フリップフロップ 311 の出力信号  $Q_1$  が取り込まれて保持されるため、第 2 の書き込み選択用フリップフロップ 312 の出力信号  $Q_2$  は “1” となる。第 3 乃至第 8 の書き込み選択用フリップフロップ 313 ～ 318 には、時刻  $t_3$  における第 2 乃至第 7 の書き込み選択用フリップフロップ 312 ～ 317 の出力信号  $Q_2$  ～  $Q_7$  がそれぞれ取り込まれて保持されるため、第 3 乃至第 8 の書き込み選択用フリップフロップ 313 ～ 318 の出力信号  $Q_3$  ～  $Q_8$  は “0” のままである。以降、同様の動作が繰り返される結果、第 6 図に示すように、時刻  $t_2$  において第 1 の書き込み選択用フリップフロップ 311 に取り込まれて保持された “1” がクロック CLK に同期して第 1 の書き込み選択用フリップフロップ 311 から第 8 の書き込み選択用フリップフロップ 318 向ってシフトされる。そして、第 8 の書き込み選択用フリップフロップ 318 取り込まれて保持された “1” は、クロック CLK に同期して第 1 の書き込み選択用フリップフロップ 311 にシフトされる。

本実施態様におけるデジタルマッチトフィルタの消費電力は、上述した第 1 の実施態様によるデジタルマッチトフィルタの消費電力に比べて、セレクタ回路 320 の消費電力が加算されるだけであるため、第 1 図に示した従来のデジタルマッチトフィルタに比べて低消費電力化が図れる。

### (第 3 の実施態様)

本発明の第 3 の実施態様によるデジタルマッチトフィルタは、FIR 2 倍補間デジタルフィルタを用いて構成された 8 倍拡散 16 タップのデジタルマッチトフィルタであって、第 8 図に示すように、信号入力端子 401 と、第 1 のクロック入力端子 402 と、第 2 のクロック入力端子 403 と、第 1 乃至第 16 の書き込み選択用フリップフロップ群 411 ～ 426 からなる記憶部 410 と、第 1 乃至第 16 の書き込み選択用フリップフロップ 431 ～ 446 からなる巡回型タップ付きシフトレジスタを用いて構成された書き込み選択回路 430 と、第 1 乃至第 8 のセレクタ回路群

451～458と、第1乃至第8の逆拡散符号用フリップフロップ461～468からなる巡回型タップ付きシフトレジスタを用いて構成された逆拡散符号列用シフトレジスタ460と、第1乃至第8の乗算器471～478と、第1乃至第7の加算器481～487と、出力端子405とを含む。ここで、記憶部410を構成する第1乃至第16のフリップフロップ群411～426はそれぞれ、互いに並列接続された6個のフリップフロップから構成されている。また、第1乃至第8のセレクタ回路群451～458はそれぞれ、互いに並列接続された6個のセレクタ回路から構成されている。

信号入力端子401には、アナログ信号（スペクトラム拡散信号）が8.192MHzのサンプリング周波数で2倍オーバーサンプリングされて生成されたデジタル信号I<sub>0</sub>が入力される。なお、デジタル信号I<sub>0</sub>は、第1のクロック入力端子402に入力される8.192MHzの第1のクロックCLK1に同期した6ビットの2の補数表現のデジタル信号である。記憶部410を構成する第1乃至第16のフリップフロップ群411～426のデータ入力端子Dには、デジタル信号I<sub>1</sub>が入力されている。また、第1乃至第16のフリップフロップ群411～426のクロック入力端子Cには、書き込み選択回路430を構成する第1乃至第16の書き込み選択用フリップフロップ431～446の出力信号がそれぞれ入力されている。

書き込み選択回路430を構成する第1乃至第16の書き込み選択用フリップフロップ431～446は、初期状態では、任意の一つの書き込み選択用フリップフロップに“1”が書き込まれており、他の書き込み選択用フリップフロップには“0”が書き込まれている。以降、説明の簡単のため、初期状態では、第16の書き込み選択用フリップフロップ446のみに“1”が書き込まれて保持されているとする。第1乃至第16の書き込み選択用フリップフロップ431～446のクロック入力端子Cには、第1のクロックCLK1が入力されている。第16の書き込み選択用フリップフロップ446のクロック入力端子Cに第1のクロックCLK1が入力すると、第16の書き込み選択用フリップフロップ446に保持されていた“1”が第1の書き込み選択用フリップフロップ431にシフトされる。第1の書き込み選択用フリップフロップ431にシフトされた“1”は、以降、第1のクロ

ック CLK1 に同期して、第2の書き込み選択用フリップフロップ 432 から第16の書き込み選択用フリップフロップ 446 に向ってシフトされる。これにより、記憶部 410 を構成する第1乃至第16のフリップフロップ群 411～426 のクロック入力端子 C に “1” が第1のクロック CLK1 に同期して順に入力され 5 るため、デジタル信号 I<sub>0</sub> が第1のクロック CLK1 に同期して第1乃至第16 のフリップフロップ群 411～426 に順に取り込まれて保持される。

第2のクロック入力端子 403 には、4.096 MHz の第2のクロック CLK2 が入力される。第1乃至第8のセレクタ回路群 451～458 を構成する各セレクタ回路の選択端子 S には、第2のクロック CLK2 が入力されており、第10 2 のクロック CLK2 が “1” のとき第1の入力端子 A が選択され、第2のクロック CLK2 が “0” のとき第2の入力端子 B が選択される。したがって、第2 のクロック CLK2 が “1” のときには、第1乃至第8のセレクタ回路群 451 ～458 の第1の入力端子 A にそれぞれ接続された記憶部 410 の奇数番目のフリップフロップ群 411, 413, 415, 417, 419, 421, 423, 15 425 の出力信号が、第1乃至第8のセレクタ回路群 451～458 の出力端子 Y からそれぞれ出力される。一方、第2のクロック CLK2 が “0” のときには、第1乃至第8のセレクタ回路群 451～458 の第2の入力端子 B にそれぞれ接続された記憶部 410 の偶数番目のフリップフロップ群 412, 414, 416, 418, 420, 422, 424, 426 の出力信号が、第1乃至第8のセレクタ回路群 451～458 の出力端子 Y からそれぞれ出力される。 20

逆拡散符号列用シフトレジスタ 460 を構成する第1乃至第8の逆拡散符号用フリップフロップ 461～468 には、8ビットの逆拡散符号列 C<sub>7</sub>, C<sub>6</sub>, C<sub>5</sub>, C<sub>4</sub>, C<sub>3</sub>, C<sub>2</sub>, C<sub>1</sub>, C<sub>0</sub> の逆拡散符号がそれぞれ書き込まれている。以降、説明の簡単のため、初期状態では、逆拡散符号 C<sub>0</sub>～C<sub>7</sub> は、逆拡散符号 C<sub>7</sub> から逆拡散符号 C<sub>0</sub> の順番で第1乃至第8の逆拡散符号用フリップフロップ 461～468 にそれぞれ格納されているとする。第1乃至第8の逆拡散符号用フリップフロップ 461～468 のクロック入力端子 C には、8.192 MHz の第1のクロック CLK1 に同期した 4.096 MHz の第2のクロック CLK2 が入力されており、第2のクロック CLK2 に同期して、第1乃至第8の逆拡散符号用フリ

ップフロップ 4 6 1～4 6 8 に格納された各逆拡散符号が第 1 の逆拡散符号用フリップフロップ 4 6 1 から第 8 の逆拡散符号用フリップフロップ 4 6 8 へ向ってシフトされる。なお、第 8 の逆拡散符号用フリップフロップ 4 6 8 にシフトされた逆拡散符号は、次の第 2 のクロック CLK 2 に同期して、第 1 の逆拡散符号用フリップフロップ 4 6 1 にシフトされる。これにより、第 1 乃至第 8 の逆拡散符号用フリップフロップ 4 6 1～4 6 8 からは、第 2 のクロック CLK 2 に同期して、逆拡散符号 C<sub>0</sub> から逆拡散符号 C<sub>1</sub> が順にシフトされながら出力される。

第 1 乃至第 8 の乗算器 4 7 1～4 7 8 は、6 ビット×1 ビットの乗算器であり、6 ビットの出力信号を出力する。第 1 乃至第 8 の乗算器 4 7 1～4 7 8 では、第 10 1 乃至第 8 のセレクタ回路群 4 5 1～4 5 8 の出力信号（6 ビット）と第 1 乃至第 8 の逆拡散符号用フリップフロップ 4 6 1～4 6 8 から出力される逆拡散符号（1 ビット）との乗算がそれぞれ行われる。なお、乗算器 4 7 1～4 7 8 では、たとえば、逆拡散符号が 1 を示すときは、第 1 乃至第 8 のセレクタ回路群 4 5 1～4 5 8 の出力信号と 1 との乗算がそれぞれ行われ、逆拡散符号が 0 を示すときは、第 1 乃至第 8 のセレクタ回路群 4 5 1～4 5 8 の出力信号と -1 との乗算がそれぞれ行われる。

第 1 乃至第 4 の加算器 4 8 1～4 8 4 は、6 ビット+6 ビットの加算器であり、7 ビットの出力信号を出力する。第 5 および第 6 の加算器 4 8 5, 4 8 6 は、7 ビット+7 ビットの加算器であり、8 ビットの出力信号を出力する。第 7 の加算器 4 8 7 は、8 ビット+8 ビットの加算器であり、9 ビットの出力信号を出力する。第 1 の加算器 4 8 1 では、第 1 の乗算器 4 7 1 の出力信号（6 ビット）と第 2 の乗算器 4 7 2 の出力信号（6 ビット）との加算が行われる。第 2 の加算器 4 8 2 では、第 3 の乗算器 4 7 3 の出力信号（6 ビット）と第 4 の乗算器 4 7 4 の出力信号（6 ビット）との加算が行われる。第 3 の加算器 4 8 3 では、第 5 の乗算器 4 7 5 の出力信号（6 ビット）と第 6 の乗算器 4 7 6 の出力信号（6 ビット）との加算が行われる。第 4 の加算器 4 8 4 では、第 7 の乗算器 4 7 7 の出力信号（6 ビット）と第 8 の乗算器 4 7 8 の出力信号（6 ビット）との加算が行われる。第 5 の加算器 4 8 5 では、第 1 の加算器 4 8 1 の出力信号（7 ビット）と第 2 の加算器 4 8 2 の出力信号（7 ビット）との加算が行われる。第 6 の加算器 4 8 6

第 3 の加算器 483 の出力信号 (7 ビット) と第 4 の加算器 484 の出力信号 (7 ビット) との加算が行われる。第 7 の加算器 487 では、第 5 の加算器 485 の出力信号 (8 ビット) と第 6 の加算器 486 の出力信号 (8 ビット) との加算が行われる。

以上のように構成された本実施態様によるデジタルマッチトフィルタでは、初期状態から各個の第 1 のクロック CLK1 が入力されると、記憶部 410 を構成する第 1 乃至第 16 のフリップフロップ群 411 ～ 426 に、デジタル信号 I。の最初の第 1 番目乃至第 16 番目のサンプリングデータ  $D_0 \sim D_{15}$  がそれぞれ書き込まれて保持されるとともに、逆拡散符号列用シフトレジスタ 460 を構成する第 1 乃至第 8 のフリップフロップ 461 ～ 468 に、逆拡散符号  $C_1 \sim C_8$  がそれそれぞれシフトされて保持される。その結果、第 2 のクロック CLK2 が “1” のときには、第 1 乃至第 8 のセレクタ回路群 451 ～ 458 によってデジタル信号 I。の奇数番目のサンプリングデータ  $D_0, D_2, D_4, D_6, D_8, D_{10}, D_{12}, D_{14}$  が選択されることにより、第 7 の加算器 487 において、 $D_{15} \times C_0 + D_{14} \times C_1 + D_{10} \times C_2 + D_8 \times C_3 + D_6 \times C_4 + D_4 \times C_5 + D_2 \times C_6 + D_0 \times C_7$  が得られ、デジタル信号 I。の最初の 16 個のサンプリングデータ  $D_0 \sim D_{15}$  の奇数番目のサンプリングデータ  $D_0, D_2, D_4, D_6, D_8, D_{10}, D_{12}, D_{14}$  と 8 ビットの逆拡散符号列  $C_1, C_2, C_3, C_4, C_5, C_6, C_7, C_8$  の相関値 MFOUT が得られ、出力端子 405 を介して外部に出力される。また、第 2 のクロック CLK2 が “0” のときには、第 1 乃至第 8 のセレクタ回路群 451 ～ 458 によってデジタル信号 I。の偶数番目のサンプリングデータ  $D_1, D_3, D_5, D_7, D_9, D_{11}, D_{13}, D_{15}$  が選択されることにより、第 7 の加算器 487 において、 $D_{15} \times C_0 + D_{13} \times C_1 + D_{11} \times C_2 + D_9 \times C_3 + D_7 \times C_4 + D_5 \times C_5 + D_3 \times C_6 + D_1 \times C_7$  が得られ、デジタル信号 I。の最初の 16 個のサンプリングデータ  $D_0 \sim D_{15}$  の偶数番目のサンプリングデータ  $D_1, D_3, D_5, D_7, D_9, D_{11}, D_{13}, D_{15}$  と 8 ビットの逆拡散符号列  $C_1, C_2, C_3, C_4, C_5, C_6, C_7, C_8$  の相関値 MFOUT が得られ、出力端子 405 を介して外部に出力される。

次に、本実施態様によるデジタルマッチトフィルタと第 3 図に示した従来のデ

ジタルマッチトフィルタとの消費電力の比較について説明する。本実施態様によるデジタルマッチトフィルタでは、デジタル信号 I<sub>0</sub> の書き込みに際して、記憶部 410 を構成する第 1 乃至第 16 のフリップフロップ群 411 ～ 426 は第 1 のクロック CLK1 に同期して 1 つずつしか動作しない。したがって、一つのフリップフロップの消費電力を W とすると、記憶部 410 における消費電力は各フリップフロップ群を構成する 6 個のフリップフロップの消費電力の合計である 6W となる。書き込み選択回路 430 を構成する第 1 乃至第 16 の書き込み選択用フリップフロップ 431 ～ 446 は第 1 のクロック CLK1 が入力するたびに動作するため、書き込み選択回路 430 における消費電力は 16W となる。逆拡散符号列用シフトレジスタ 460 を構成する第 1 乃至第 8 の逆拡散符号用フリップフロップ 461 ～ 468 は、第 1 のクロック CLK1 の周波数の 1/2 の周波数を有する第 2 のクロック CLK2 に同期して動作するため、逆拡散符号列用シフトレジスタ 460 における消費電力は 8W/2 = 4W となる。したがって、本実施態様によるデジタルマッチトフィルタの記憶部 410、書き込み選択回路 430 および逆拡散符号列用シフトレジスタ 460 における消費電力は 6W + 16W + 4W = 26W となる。これに対して、第 3 図に示した従来のデジタルマッチトフィルタでは、タップ付きシフトレジスタ 110 を構成する第 1 乃至第 14 のフリップフロップ群 111 ～ 124 はクロック CLK が入力するたびに動作するため、タップ付きシフトレジスタ 110 における消費電力は 6 × 14W = 84W となる。本実施態様によるデジタルマッチトフィルタの第 1 乃至第 8 の乗算器 471 ～ 478 および第 1 乃至第 7 の加算器 481 ～ 487 における消費電力と第 3 図に示した従来のデジタルマッチトフィルタの第 1 乃至第 8 の乗算器 131 ～ 138 および第 1 乃至第 7 の加算器 141 ～ 147 における消費電力とは同じである。したがって、本実施態様によるデジタルマッチトフィルタの第 1 乃至第 8 のセレクタ回路群 451 ～ 458 における消費電力は小さいため、この消費電力を無視すると、本実施態様によるデジタルマッチトフィルタの消費電力は、第 3 図に示した従来のデジタルマッチトフィルタの消費電力に比べて 26W/84W = 1/3 となる。一般的には、FIR m 倍補間フィルタ構成の M タップデジタルマッチトフィルタでは、デジタル信号 I<sub>0</sub> のビット数を N とすると、本実施態様によるデジタルマ

マッチトフィルタでは、記憶部 410 は MN 個のフリップフロップで構成され、書き込み選択回路 430 は M 個の書き込み選択用フリップフロップで構成され、逆拡散符号列用シフトレジスタ 460 は M/m 個の逆拡散符号用フリップフロップで構成される。しかし、記憶部 410 を構成する各フリップフロップ群は第 1 のクロック CLK1 に同期して 1 つずつしか動作せず、また、逆拡散符号列用シフトレジスタ 460 は第 1 のクロック CLK1 の周波数の 1/m の周波数を有する第 2 のクロック CLK2 に同期して動作するため、本実施態様によるデジタルマッチトフィルタの記憶部 410、書き込み選択回路 430 および逆拡散符号列用シフトレジスタ 460 における消費電力は、 $NW + MW + (M/m^2)W = (N + M + M/m^2)W$  となる。これに対して、第 3 図に示した従来のデジタルマッチトフィルタでは、タップ付きシフトレジスタ 110 は  $(M-1)N$  個のフリップフロップで構成されるため、タップ付きシフトレジスタ 110 における消費電力は  $(M-1)NW$  となる。したがって、本実施態様によるデジタルマッチトフィルタの消費電力は、第 3 図に示した従来のデジタルマッチトフィルタの消費電力に比べて、 $(N + M + M/m^2)W / (M-1)NW = (N + M + M/m^2) / (M-1)N$  となる。なお、一般的には  $M \gg 1$  であるので、本実施態様によるデジタルマッチトフィルタの消費電力は、第 3 図に示した従来のデジタルマッチトフィルタの消費電力に比べて、 $1/M + 1/N + 1/m^2N$  となる。

なお、本実施態様によるデジタルマッチトフィルタにおいても、書き込み選択回路 430 の代わりに、第 6 図に示した書き込み選択回路 300 のように第 1 乃至第 16 の書き込み選択用フリップフロップおよびセレクタ回路からなる巡回型タップ付きシフトレジスタを用いて構成された書き込み選択回路を用いてもよい。

上記説明では、逆拡散符号列  $C_7, C_6, C_5, C_4, C_3, C_2, C_1, C_0$  を構成する各逆拡散符号は 1 ビットとした。しかし、逆拡散符号列  $C_7, C_6, C_5, C_4, C_3, C_2, C_1, C_0$  を構成する各逆拡散符号のビット数が 2 以上である場合もある（ただし、各逆拡散符号のビット数はデジタル信号 1。のビット数よりも小さい）。たとえば、各逆拡散符号が、1, 0, -1 を示す 2 ビットの場合である。各逆拡散符号のビット数が 2 以上である場合には、第 8 図に示した逆拡散符号列用シフトレジスタ 460 の代わりに、互いに並列接続された 2 個以上のフリップフロップから

なるフリップフロップ群を8個用いて巡回型タップ付きシフトレジスタを構成された逆拡散符号列用シフトレジスタを使用すればよい。

第1乃至第8の乗算器471～478は、論理回路で構成された乗算器である必要はなく、同じ乗算結果を出力する手段（たとえば、逆拡散符号が1の場合には入力信号をそのまま出力し、逆拡散符号が0（係数-1の乗算）の場合には入力信号の符号ビットを反転して出力する回路）であってもよい。

（第4の実施態様）

本発明の第4の実施態様によるデジタルマッチトフィルタは、8.192MHzでオーバーサンプリングされたデジタル信号I。が8.192MHzのクロックに同期してシリアルに入力される場合のデジタルマッチトフィルタであって、第9図に示すように、信号入力端子501と、クロック入力端子502と、シリアル／パラレル変換器590と、インバータ595と、第1乃至第8のフリップフロップ群511～518からなる第1の記憶部510と、第1乃至第8の書き込み選択用フリップフロップ521～528からなる巡回型タップ付きシフトレジスタを用いて構成された第1の書き込み選択回路520と、第9乃至第16のフリップフロップ群531～538からなる第2の記憶部530と、第9乃至第16の書き込み選択用フリップフロップ541～548からなる巡回型タップ付きシフトレジスタを用いて構成された第2の書き込み選択回路540と、第1乃至第8のセレクタ回路群551～558と、第1乃至第8の逆拡散符号用フリップフロップ561～568からなる巡回型タップ付きシフトレジスタを用いて構成された逆拡散符号列用シフトレジスタ560と、第1乃至第8の乗算器571～578と、第1乃至第7の加算器581～587と、出力端子505とを含む。ここで、第1の記憶部510を構成する第1乃至第8のフリップフロップ群511～518および第2の記憶部530を構成する第9乃至第16のフリップフロップ群531～538はそれぞれ、互いに並列接続された6個のフリップフロップから構成されている。また、第1乃至第8のセレクタ回路群551～558はそれぞれ、互いに並列接続された6個のセレクタ回路から構成されている。

信号入力端子501には、アナログ信号（スペクトラム拡散信号）が8.192MHzのサンプリング周波数でオーバーサンプリングされて生成された8.1

9.2 MHz の周期のデジタル信号  $I_{01}$  が入力される。なお、デジタル信号  $I_{01}$  は、6 ビットの 2 の補数表現のデジタル信号である。デジタル信号  $I_{01}$  は、シリアル／パラレル変換器 590 でシリアル／パラレル変換されて、奇数番目のサンプリングデータからなる第 1 のデジタル信号  $I_{01}$  と偶数番目のサンプリングデータからなる第 2 のデジタル信号  $I_{02}$  とに分離される。第 1 のデジタル信号  $I_{01}$  はシリアル／パラレル変換器 590 の第 1 の出力端子 A から第 1 の記憶部 510 に出力され、第 2 のデジタル信号  $I_{02}$  はシリアル／パラレル変換器 590 の第 2 の出力端子 B から第 2 の記憶部 530 に出力される。

第 1 の記憶部 510 を構成する第 1 乃至第 8 のフリップフロップ群 511 ～ 518 のデータ入力端子 D はシリアル／パラレル変換器 502 の第 1 の出力端子 A に接続されている。また、第 1 乃至第 8 のフリップフロップ群 511 ～ 518 のクロック入力端子 C には、第 1 の書き込み選択回路 520 を構成する第 1 乃至第 8 の書き込み選択用フリップフロップ 521 ～ 528 の出力信号がそれぞれ入力されている。第 1 乃至第 8 の書き込み選択用フリップフロップ 521 ～ 528 は、初期状態では、任意の一つの書き込み選択用フリップフロップに “1” が書き込まれて保持されており、他の書き込み選択用フリップフロップには “0” が書き込まれて保持されている。以降、説明の簡単のため、初期状態では、第 8 の書き込み選択用フリップフロップ 528 にのみ “1” が書き込まれて保持されているとする。第 1 乃至第 8 の書き込み選択用フリップフロップ 521 ～ 528 のクロック入力端子 20 C には、クロック CLK が入力されている。第 8 の書き込み選択用フリップフロップ 528 のクロック入力端子 C にクロック CLK が入力すると、第 8 の書き込み選択用フリップフロップ 528 に保持されていた “1” が第 1 の書き込み選択用フリップフロップ 521 にシフトされる。第 1 の書き込み選択用フリップフロップ 521 にシフトされた “1” は、以降、クロック CLK に同期して、第 2 の書き込み選択用フリップフロップ 521 から第 8 の書き込み選択用フリップフロップ 528 に向ってシフトされる。これにより、第 1 の記憶部 510 を構成する第 1 乃至第 8 のフリップフロップ群 511 ～ 518 のクロック入力端子 C に “1” がクロック CLK に同期して順に入力されるため、第 1 のデジタル信号  $I_{01}$  がクロック CLK に同期して第 1 乃至第 8 のフリップフロップ群 511 ～ 518 に順に取り込まれる。

れて保持される。

第2の記憶部530を構成する第9乃至第16のフリップフロップ群531～538のデータ入力端子Dはシリアル／パラレル変換器590の第2の出力端子Bに接続されている。また、第9乃至第16のフリップフロップ群531～538のクロック入力端子Cには、第2の書き込み選択回路540を構成する第1乃至第8の書き込み選択用フリップフロップ541～548の出力信号がそれぞれ入力されている。第9乃至第16の書き込み選択用フリップフロップ541～548は、初期状態では、任意の一つの書き込み選択用フリップフロップに“1”が書き込まれて保持されており、他の書き込み選択用フリップフロップには“0”が書き込まれて保持されている。以降、説明の簡単のため、初期状態では、第16の書き込み選択用フリップフロップ548にのみ“1”が書き込まれて保持されているとする。第9乃至第16の書き込み選択用フリップフロップ541～548のクロック入力端子Cには、インバータ595により極性が反転されたクロックCLK（以下、「反転クロックCLKB」と称する。）が入力されている。第16の書き込み選択用フリップフロップ548のクロック入力端子Cに反転クロックCLKBが入力すると、第16の書き込み選択用フリップフロップ548に保持されていた“1”が第9の書き込み選択用フリップフロップ541にシフトされる。第9の書き込み選択用フリップフロップ541にシフトされた“1”は、以降、反転クロックCLKBに同期して、第9の書き込み選択用フリップフロップ541から第16の書き込み選択用フリップフロップ548に向ってシフトされる。これにより、第2の記憶部530を構成する第8乃至第16のフリップフロップ群531～538のクロック入力端子Cに“1”が反転クロックCLKBに同期して順に入力されるため、第2のデジタル信号I<sub>o2</sub>が反転クロックCLKBに同期して第9乃至第16のフリップフロップ群531～538に順に取り込まれて保持される。

第1乃至第8のセレクタ回路群551～558を構成する各セレクタ回路の選択端子Sには、クロックCLKが入力されており、クロックCLKが“1”的とき第1の入力端子Aが選択され、クロックCLKが“0”的とき第2の入力端子Bが選択される。したがって、クロックCLKが“1”的ときには、第1乃至第8のセレクタ回路群551～558の第1の入力端子Aにそれぞれ接続された第

1 の記憶部 510 を構成する第 1 乃至第 8 のフリップフロップ群 511 ～ 518 の出力信号が選択されて、第 1 乃至第 8 のセレクタ回路群 551 ～ 558 の出力端子 Y からそれぞれ出力される。一方、クロック CLK が “0” のときには、第 1 乃至第 8 のセレクタ回路群 551 ～ 558 の第 2 の入力端子 B にそれぞれ接続  
5 された第 2 の記憶部 530 を構成する第 9 乃至第 16 のフリップフロップ群 531 ～ 538 の出力信号が選択されて、第 1 乃至第 8 のセレクタ回路群 551 ～ 558 の出力端子 Y からそれぞれ出力される。

逆拡散符号列用シフトレジスタ 560 を構成する第 1 乃至第 8 の逆拡散符号用  
10 フリップフロップ 561 ～ 568 には、8 ビットの逆拡散符号列  $C_7, C_6, C_5, C_4, C_3, C_2, C_1, C_0$  の逆拡散符号がそれぞれ格納されている。以降、説明の簡単のため、初期状態では、逆拡散符号  $C_7 \sim C_0$  が第 1 乃至第 8 の逆拡散符号用  
15 フリップフロップ 561 ～ 568 にそれぞれ格納されているとする。第 1 乃至第 8 の逆拡散符号用フリップフロップ 561 ～ 568 のクロック入力端子 C には、  
クロック CLK が入力されており、クロック CLK に同期して、第 1 乃至第 8 の  
逆拡散符号用フリップフロップ 561 ～ 568 に格納された各逆拡散符号が第 1  
20 の逆拡散符号用フリップフロップ 561 から第 8 の逆拡散符号用フリップフロップ 568 へ向ってシフトされる。なお、第 8 の逆拡散符号用フリップフロップ 568 にシフトされた逆拡散符号は、次のクロック CLK に同期して、第 1 の逆拡  
散符号用フリップフロップ 561 にシフトされる。これにより、第 1 乃至第 8 の  
逆拡散符号用フリップフロップ 561 ～ 568 からは、クロック CLK に同期して、  
逆拡散符号  $C_0$  から逆拡散符号  $C_7$  が順にシフトされながら出力される。

第 1 乃至第 8 の乗算器 571 ～ 578 は、6 ビット × 1 ビットの乗算器であり、  
6 ビットの出力信号を出力する。第 1 乃至第 8 の乗算器 571 ～ 578 では、第  
1 乃至第 8 のセレクタ回路群 551 ～ 558 から出力される第 1 のデジタル信号  
25  $I_{01}$  (6 ビット) と第 1 乃至第 8 の逆拡散符号用フリップフロップ 561 ～ 568 から出力される逆拡散符号 (1 ビット) との乗算が、クロック CLK が “1”  
の期間にそれぞれ行われるとともに、第 1 乃至第 8 のセレクタ回路群 551 ～ 558 から出力される第 2 のデジタル信号  $I_{02}$  (6 ビット) と第 1 乃至第 8 の逆拡  
散符号用フリップフロップ 561 ～ 568 から出力される逆拡散符号 (1 ビット)

との乗算が、クロック C L K が “0” の期間にそれぞれ行われる。なお、乗算器 5 7 1～5 7 8 では、たとえば、逆拡散符号が 1 を示すときは、第 1 乃至第 8 のセレクタ回路群 5 5 1～5 5 8 の出力信号と 1 との乗算がそれぞれ行われ、逆拡散符号が 0 を示すときは、第 1 乃至第 8 のセレクタ回路群 5 5 1～5 5 8 の出力 5 信号と -1 との乗算がそれぞれ行われる。

第 1 乃至第 4 の加算器 5 8 1～5 8 4 は、6 ビット + 6 ビットの加算器であり、7 ビットの出力信号を出力する。第 5 および第 6 の加算器 5 8 5, 5 8 6 は、7 ビット + 7 ビットの加算器であり、8 ビットの出力信号を出力する。第 7 の加算器 5 8 7 は、8 ビット + 8 ビットの加算器であり、9 ビットの出力信号を出力す 10 る。第 1 の加算器 5 8 1 では、第 1 の乗算器 5 7 1 の出力信号 (6 ビット) と第 2 の乗算器 5 7 2 の出力信号 (6 ビット) との加算が行われる。第 2 の加算器 5 8 2 では、第 3 の乗算器 5 7 3 の出力信号 (6 ビット) と第 4 の乗算器 5 7 4 の出力信号 (6 ビット) との加算が行われる。第 3 の加算器 5 8 3 では、第 5 の乗算器 5 7 5 の出力信号 (6 ビット) と第 6 の乗算器 5 7 6 の出力信号 (6 ビット) 15 との加算が行われる。第 4 の加算器 5 8 4 では、第 7 の乗算器 5 7 7 の出力信号 (6 ビット) と第 8 の乗算器 5 7 8 の出力信号 (6 ビット) との加算が行われる。第 5 の加算器 5 8 5 では、第 1 の加算器 5 8 1 の出力信号 (7 ビット) と第 2 の加算器 5 8 2 の出力信号 (7 ビット) との加算が行われる。第 6 の加算器 5 8 6 では、第 3 の加算器 5 8 3 の出力信号 (7 ビット) と第 4 の加算器 5 8 4 の出力 20 信号 (7 ビット) との加算が行われる。第 7 の加算器 5 8 7 では、第 5 の加算器 5 8 5 の出力信号 (8 ビット) と第 6 の加算器 5 8 6 の出力信号 (8 ビット) との加算が行われる。

以上のように構成された本実施態様によるデジタルマッチトフィルタでは、初期状態から 16 個のクロック C L K が入力されると、第 1 の記憶部 5 1 0 を構成 25 する第 1 乃至第 8 のフリップフロップ群 5 1 1～5 1 8 に、第 1 のデジタル信号  $I_{0,1}$  の最初の第 1 番目乃至第 8 番目のサンプリングデータ  $D_0 \sim D_7$  がそれぞれ書き込まれて保持され、第 2 の記憶部 5 3 0 を構成する第 9 乃至第 16 のフリップフロップ群 5 3 1～5 3 6 に、第 2 のデジタル信号  $I_{0,2}$  の最初の第 1 番目乃至第 8 番目のサンプリングデータ  $d_0 \sim d_7$  がそれぞれ書き込まれて保持され、逆

拡散符号列用シフトレジスタ 560 を構成する第 1 乃至第 8 の逆拡散符号用フリップフロップ 561 ～ 568 に、逆拡散符号  $C_7 \sim C_0$  がそれぞれシフトされて保持される。その結果、クロック CLK が “1” のときには、第 1 乃至第 8 のセレクタ回路群 551 ～ 558 によって第 1 のデジタル信号  $I_{01}$  のサンプリングデータ  $D_0 \sim D_7$  が選択されることにより、第 7 の加算器 587 において、 $D_7 \times C_0 + D_6 \times C_1 + D_5 \times C_2 + D_4 \times C_3 + D_3 \times C_4 + D_2 \times C_5 + D_1 \times C_6 + D_0 \times C_7$  が得られ、第 1 のデジタル信号  $I_{01}$  の最初の 8 個のサンプリングデータ  $D_0 \sim D_7$  と 8 ビットの逆拡散符号列  $C_7 \ C_6 \ C_5 \ C_4 \ C_3 \ C_2 \ C_1 \ C_0$  との相関値 MFOUT が得られ、出力端子 505 を介して外部に出力される。

また、クロック CLK が “0” のときには、第 1 乃至第 8 のセレクタ回路群 551 ～ 558 によって第 2 のデジタル信号  $I_{02}$  のサンプリングデータ  $d_0 \sim d_7$  が選択されることにより、第 7 の加算器 587 において、 $d_7 \times C_0 + d_6 \times C_1 + d_5 \times C_2 + d_4 \times C_3 + d_3 \times C_4 + d_2 \times C_5 + d_1 \times C_6 + d_0 \times C_7$  が得られ、第 2 のデジタル信号  $I_{02}$  の最初の 8 個のサンプリングデータ  $d_0 \sim d_7$  と 8 ビットの逆拡散符号列  $C_7 \ C_6 \ C_5 \ C_4 \ C_3 \ C_2 \ C_1 \ C_0$  との相関値 MFOUT が得られ、出力端子 505 を介して外部に出力される。その結果、第 8 図に示した第 3 の実施態様によるデジタルマッチトフィルタと同様な FIR 2 倍補間デジタルフィルタを用いて構成された 8 倍拡散 16 タップのデジタルマッチトフィルタを実現することができる。

なお、本実施態様によるデジタルマッチトフィルタにおいても、第 1 および第 2 の書き込み選択回路 520, 540 の代わりに、第 6 図に示した書き込み選択回路 300 のように第 1 乃至第 8 の書き込み選択用フリップフロップおよびセレクタ回路からなる巡回型タップ付きシフトレジスタを用いて構成された書き込み選択回路を用いてもよい。

上記説明では、逆拡散符号列  $C_7 \ C_6 \ C_5 \ C_4 \ C_3 \ C_2 \ C_1 \ C_0$  を構成する各逆拡散符号は 1 ビットとした。しかし、逆拡散符号列  $C_7 \ C_6 \ C_5 \ C_4 \ C_3 \ C_2 \ C_1 \ C_0$  を構成する各逆拡散符号のビット数が 2 以上である場合もある（ただし、各逆拡散符号のビット数はデジタル信号  $I_0$  のビット数よりも小さい）。たとえば、各逆拡散符号が、1, 0, -1 を示す 2 ビットの場合である。各逆拡散符号

のビット数が2以上である場合には、第9図に示した逆拡散符号列用シフトレジスタ560の代わりに、互いに並列接続された2個以上のフリップフロップからなるフリップフロップ群を8個用いて巡回型タップ付きシフトレジスタを構成された逆拡散符号列用シフトレジスタを使用すればよい。

5 第1乃至第8の乗算器571～578は、論理回路で構成された乗算器である必要はなく、同じ乗算結果を出力する手段（たとえば、逆拡散符号が1の場合には入力信号をそのまま出力し、逆拡散符号が0（係数-1の乗算）の場合には入力信号の符号ビットを反転して出力する回路）であってもよい。

（第5の実施態様）

10 本発明の第5の実施態様によるデジタルマッチトフィルタは、記憶素子を用いて構成された8倍拡散8タップのデジタルマッチトフィルタであって、第10図に示すように、信号入力端子601と、クロック入力端子602と、アドレスカウンタ650と、第1乃至第8のメモリ611～618からなる記憶部610と、第1乃至第8の逆拡散符号用フリップフロップ621～628からなる巡回型タップ付きシフトレジスタを用いて構成された逆拡散符号列用シフトレジスタ620と、第1乃至第8の乗算器631～638と、第1乃至第7の加算器641～647と、出力端子605とを含む。ここで、記憶部610を構成する第1乃至第8のメモリ611～618のアドレスはそれぞれ、第0番地から第7番地とされている。

15 信号入力端子601には、アナログ信号（スペクトラム拡散信号）が4.096MHzのサンプリング周波数でサンプリングされて生成されたデジタル信号I。が入力される。なお、デジタル信号I。は、クロック入力端子602から入力される4.096MHzのクロックCLKに同期した6ビットの2の補数表現のデジタル信号である。記憶部610を構成する第1乃至第8のメモリ611～618のデータ入力端子には、デジタル信号I。が入力されている。また、第1乃至第8のメモリ611～618のアドレス入力端子には、アドレスカウンタ650の出力信号が入力されている。

20 アドレスカウンタ650は、クロック入力端子Cから入力されるクロックCLKをカウントする3ビットカウンタである。なお、説明の簡単のため、初期状態

25

では、アドレスカウンタ 650 の出力信号は、第 7 番地を示す “111” とされているとする。最初のクロック CLK がアドレスカウンタ 650 のクロック入力端子 C に入力されると、アドレスカウンタ 650 の出力信号は第 0 番地を示す “000” となる結果、記憶部 610 の第 1 のメモリ 611 が書き込み可能状態となる。5 2 個目のクロック CLK がアドレスカウンタ 650 のクロック入力端子 C に入力されると、アドレスカウンタ 650 の出力信号は第 1 番地を示す “001” となる結果、第 2 のメモリ 612 が書き込み可能状態となる。以下、同様にして、クロック CLK に同期して、第 3 乃至第 8 のメモリ 613～618 が順に書き込み可能状態となる。その後、9 個目のクロック CLK がアドレスカウンタ 650 の10 クロック入力端子 C に入力されると、アドレスカウンタ 650 の出力信号は第 0 番地を示す “000” となる結果、記憶部 610 の第 1 のメモリ 611 が書き込み可能状態となる。したがって、デジタル信号 I<sub>0</sub> は、クロック CLK に同期して記憶部 610 を構成する第 1 乃至第 8 のメモリ 611～618 に順に取り込まれて保持される。

15 逆拡散符号列用シフトレジスタ 620 を構成する第 1 乃至第 8 の逆拡散符号用フリップフロップ 621～628 には、8 ビットの逆拡散符号列 C<sub>7</sub> C<sub>6</sub> C<sub>5</sub> C<sub>4</sub> C<sub>3</sub> C<sub>2</sub> C<sub>1</sub> C<sub>0</sub> の逆拡散符号がそれぞれ書き込まれている。以降、説明の簡単のため、初期状態では、逆拡散符号 C<sub>7</sub> ～ C<sub>0</sub> が第 1 乃至第 8 の逆拡散符号用フリップフロップ 561～568 にそれぞれ格納されているとする。第 1 乃至第 8 の逆拡散符号用フリップフロップ 621～628 のクロック入力端子 C<sub>i</sub> には、クロック CLK が入力されており、クロック CLK に同期して、第 1 至第 8 の逆拡散符号用フリップフロップ 621～628 に書き込まれた各逆拡散符号が第 1 の逆拡散符号用フリップフロップ 621 から第 8 の逆拡散符号用フリップフロップ 628 へ向ってシフトされる。なお、第 8 の逆拡散符号用フリップフロップ 628 にシフトされた逆拡散符号は、次のクロック CLK に同期して、第 1 の逆拡散符号用フリップフロップ 621 にシフトされる。これにより、第 1 乃至第 8 の逆拡散符号用フリップフロップ 621～628 からは、クロック CLK に同期して、逆拡散符号 C<sub>0</sub> から逆拡散符号 C<sub>7</sub> が順にシフトされながら出力される。25 第 1 乃至第 8 の乗算器 631～638 は、6 ビット×1 ビットの乗算器であり、

6 ビットの出力信号を出力する。第 1 乃至第 8 の乗算器 631～638 では、第 1 乃至第 8 のメモリ 611～618 から出力されるデジタル信号 I。 (6 ビット) と第 1 乃至第 8 の逆拡散符号用フリップフロップ 621～628 から出力される逆拡散符号 (1 ビット) との乗算がそれぞれ行われる。なお、乗算器 631～6538 では、逆拡散符号が “0” を示すときは、第 1 乃至第 8 のメモリ 611～618 の出力信号と -1 との乗算がそれぞれ行われる。各乗算器 631～638 における乗算の手順について、以下に述べる。

第 1 の動作状態で、信号入力端子 601 に、デジタル信号 I。の 1 番目のサンプリングデータ D。がクロック CLK に同期して入力されるとともに、クロック 10 CLK がアドレスカウンタ 650 のクロック入力端子 C に入力されて、初期状態において第 7 番地を示す “111” とされたアドレスカウンタ 650 の出力信号が、第 0 番地を示す “000” となる。その結果、1 番目のサンプリングデータ D。が第 1 のメモリ 611 に書き込まれて保持される。また、初期状態において逆拡散符号列用シフトレジスタ 620 の第 8 の逆拡散符号用フリップフロップ 615 28 に格納されている逆拡散符号 C。がクロック CLK に同期して第 1 の逆拡散符号用フリップフロップ 621 にシフトされる結果、1 番目のサンプリングデータ D。と逆拡散符号 C。との乗算が第 1 の乗算器 631 で行われる。したがって、 D。×C。の値を示す出力信号が、第 1 の乗算器 631 から出力される。

第 2 の動作状態で、信号入力端子 201 にデジタル信号 I。の 2 番目のサンプリングデータ D。がクロック CLK に同期して入力されるとともに、クロック CLK がアドレスカウンタ 650 のクロック入力端子 C に入力されて、アドレスカウンタ 650 の出力信号が、第 1 番地を示す “001” となる。その結果、2 目のサンプリングデータ D。が第 2 のメモリ 612 に書き込まれて保持される。このとき、記憶部 610 の第 1 のメモリ 611 には、第 1 の動作状態で書き込まれた 25 1 番目のサンプリングデータ D。がそのまま保持されている。また、逆拡散符号列用シフトレジスタ 620 に格納されている各逆拡散符号がクロック CLK に同期してシフトされる結果、第 1 の動作状態において第 1 の逆拡散符号用フリップフロップ 621 にシフトされた逆拡散符号 C。が第 2 の逆拡散符号用フリップフロップ 622 にシフトされるとともに、第 8 の逆拡散符号用フリップフロップ 6

28に格納された逆拡散符号 $C_1$ が第1の逆拡散符号用フリップフロップ621にシフトされる。その結果、2番目のサンプリングデータ $D_1$ と逆拡散符号 $C_1$ との乗算が第2の乗算器632で行われるとともに、1番目のサンプリングデータ $D_0$ と逆拡散符号 $C_1$ との乗算が第1の乗算器631で行われる。したがって、  
5  $D_1 \times C_1$ の値を示す出力信号が第2の乗算器632から出力されるとともに、 $D_0 \times C_1$ の値を示す出力信号が第1の乗算器631から出力される。以降、第7の動作状態まで同様の動作が繰り返される。

第8の動作状態では、信号入力端子601にデジタル信号I<sub>0</sub>の8番目のサンプリングデータ $D_1$ がクロックCLKに同期して入力されるとともに、クロック10 CLKがアドレスカウンタ650のクロック入力端子Cに入力されて、アドレスカウンタ650の出力信号が、第7番地を示す“111となる。その結果、8番目のサンプリングデータ $D_1$ が第8のメモリ618に書き込まれて保持される。このとき、記憶部610の第1乃至第7のメモリ611～617には、第7の動作状態までに書き込まれた1番目乃至7番目のサンプリングデータ $D_0$ ～ $D_6$ が15 それぞれ保持されている。また、逆拡散符号列用シフトレジスタ620に格納されている各逆拡散符号がクロックCLKに同期してシフトされる結果、第1乃至第8の逆拡散符号用フリップフロップ621～628には逆拡散符号 $C_1$ ～ $C_8$ がそれぞれ格納される。これにより、記憶部610の第1乃至第8のメモリ611～618にそれぞれ保持されたデジタル信号I<sub>0</sub>の1番目から8番目のサンプリングデータ $D_0$ ～ $D_1$ と逆拡散符号列用シフトレジスタ620の第1乃至第8のフリップフロップ621～628にそれぞれ格納された逆拡散符号 $C_1$ ～ $C_8$ との乗算が、第1乃至第8の乗算器631～638でそれぞれ行われる。その結果、 $D_1 \times C_1$ の値を示す出力信号が第8の乗算器638から出力され、 $D_0 \times C_1$ の値を示す出力信号が第7の乗算器637から出力され、 $D_5 \times C_2$ の値を示す出力信号が第6の乗算器636から出力され、 $D_4 \times C_3$ の値を示す出力信号が第5の乗算器635から出力され、 $D_3 \times C_4$ の値を示す出力信号が第4の乗算器634から出力され、 $D_2 \times C_5$ の値を示す出力信号が第3の乗算器633から出力され、 $D_1 \times C_6$ の値を示す出力信号が第2の乗算器632から出力され、 $D_0 \times C_7$ の値を示す出力信号が第1の乗算器631から出力される。  
20  
25

以上の動作によりデジタル信号 I。の最初の 8 個のサンプリングデータ D<sub>1</sub> ~ D<sub>8</sub>、D<sub>8</sub> × D<sub>7</sub> の逆拡散符号列 D<sub>2</sub> ~ D<sub>9</sub> と 8 ビットの逆拡散符号列 C<sub>1</sub> ~ C<sub>8</sub>、C<sub>8</sub> × C<sub>7</sub> との相関値を求めるのに必要な乗算がすべて行われる。

第 9 の動作状態では、信号入力端子 601 にデジタル信号 I。の 9 番目のサンプリングデータ D<sub>9</sub>、D<sub>9</sub> × D<sub>8</sub> の逆拡散符号列 D<sub>10</sub> ~ D<sub>17</sub> と 8 ビットの逆拡散符号列 C<sub>1</sub> ~ C<sub>8</sub>、C<sub>8</sub> × C<sub>7</sub> との相関値を求めるのに必要な乗算がすべて行われる。

第 10 の動作状態では、信号入力端子 601 にデジタル信号 I。の 10 番目のサンプリングデータ D<sub>10</sub>、D<sub>10</sub> × D<sub>9</sub> の逆拡散符号列 D<sub>11</sub> ~ D<sub>18</sub> と 8 ビットの逆拡散符号列 C<sub>1</sub> ~ C<sub>8</sub>、C<sub>8</sub> × C<sub>7</sub> との相関値を求めるのに必要な乗算がすべて行われる。

このとき、記憶部 616 の第 2 乃至第 8 のメモリ 612 ~ 618 には、第 8 の動作状態まで書き込まれた 1 番目乃至 8 番目のサンプリングデータ D<sub>1</sub> ~ D<sub>8</sub> がそれぞれ保持されている。また、逆拡散符号列用シフトレジスタ 620 に格納されている各逆拡散符号がクロック CLK に同期してシフトされる結果、第 1 の逆拡散符号用フリップフロップ 621 には逆拡散符号 C<sub>8</sub> がシフトされ、第 2 乃至第 8 の逆拡散符号用フリップフロップ 622 ~ 628 には逆拡散符号 C<sub>7</sub> ~ C<sub>1</sub> が

それぞれシフトされる。これにより、記憶部 610 の第 1 のメモリ 611 に保持されたデジタル信号 I と 9 番目のサンプリングデータ D<sub>9</sub> と逆拡散符号列用シフトレジスタ 620 の第 1 の逆拡散符号用フリップフロップ 621 にシフトされた逆拡散符号 C<sub>8</sub> との乗算が第 1 の乗算器 631 で行われるとともに、第 2 乃至第 8 のメモリ 612 ~ 618 にそれぞれ保持されたデジタル信号 I の 2 番目から 8 番目のサンプリングデータ D<sub>1</sub> ~ D<sub>8</sub> と逆拡散符号列用シフトレジスタ 620 の第 2 乃至第 8 の逆拡散符号用フリップフロップ 622 ~ 628 にそれぞれシフ

トされた逆拡散符号 C<sub>7</sub> ~ C<sub>1</sub> との乗算が第 2 乃至第 8 の乗算器 632 ~ 638 でそれぞれ行われる。その結果、D<sub>9</sub> × C<sub>8</sub> の値を示す出力信号が第 1 の乗算器 631 から出力され、D<sub>9</sub> × C<sub>8</sub> の値を示す出力信号が第 8 の乗算器 638 から出力され、D<sub>9</sub> × C<sub>8</sub> の値を示す出力信号が第 7 の乗算器 637 から出力され、

D<sub>9</sub> × C<sub>8</sub> の値を示す出力信号が第 6 の乗算器 636 から出力され、D<sub>9</sub> × C<sub>8</sub> の値を示す出力信号が第 5 の乗算器 635 から出力され、D<sub>9</sub> × C<sub>8</sub> の値を示す出力信号が第 4 の乗算器 634 から出力され、D<sub>9</sub> × C<sub>8</sub> の値を示す出力信号が第 3 の乗算器 633 から出力され、D<sub>9</sub> × C<sub>8</sub> の値を示す出力信号が第 2 の乗算

器 632 から出力される。

その結果、デジタル信号  $I_0$  の最初の 8 個のサンプリングデータ  $D_7, D_6, D_5, D_4, D_3, D_2, D_1, D_0$  から 1 サンプリング後の 8 個のサンプリングデータ  $D_8, D_7, D_6, D_5, D_4, D_3, D_2, D_1$  と 8 ビットの逆拡散符号列  $C_7, C_6, C_5, C_4, C_3, C_2, C_1, C_0$  との相関値を求めるのに必要な乗算がすべて行われる。以降、同様の動作が繰り返される。

第 1 乃至第 4 の加算器 641 ～ 644 は、6 ビット + 6 ビットの加算器であり、7 ビットの出力信号を出力する。第 5 および第 6 の加算器 645, 646 は、7 ビット + 7 ビットの加算器であり、8 ビットの出力信号を出力する。第 7 の加算器 647 は、8 ビット + 8 ビットの加算器であり、9 ビットの出力信号を出力する。第 1 の加算器 641 では、第 1 の乗算器 631 の出力信号（6 ビット）と第 2 の乗算器 632 の出力信号（6 ビット）との加算が行われる。第 2 の加算器 642 では、第 3 の乗算器 633 の出力信号（6 ビット）と第 4 の乗算器 634 の出力信号（6 ビット）との加算が行われる。第 3 の加算器 643 では、第 5 の乗算器 635 の出力信号（6 ビット）と第 6 の乗算器 636 の出力信号（6 ビット）との加算が行われる。第 4 の加算器 644 では、第 7 の乗算器 637 の出力信号（6 ビット）と第 8 の乗算器 638 の出力信号（6 ビット）との加算が行われる。第 5 の加算器 645 では、第 1 の加算器 641 の出力信号（7 ビット）と第 2 の加算器 642 の出力信号（7 ビット）との加算が行われる。第 6 の加算器 646 では、第 3 の加算器 643 の出力信号（7 ビット）と第 4 の加算器 644 の出力信号（7 ビット）との加算が行われる。第 7 の加算器 647 では、第 5 の加算器 645 の出力信号（8 ビット）と第 6 の加算器 646 の出力信号（8 ビット）との加算が行われる。この結果、デジタル信号  $I_0$  と逆拡散符号列  $C_7, C_6, C_5, C_4, C_3, C_2, C_1, C_0$  との相関値  $MFOUT$  が得られ、出力端子 605 を介して外部に出力される。

上記説明では、逆拡散符号列  $C_7, C_6, C_5, C_4, C_3, C_2, C_1, C_0$  を構成する各逆拡散符号は 1 ビットとした。しかし、逆拡散符号列  $C_7, C_6, C_5, C_4, C_3, C_2, C_1, C_0$  を構成する各逆拡散符号のビット数が 2 以上である場合もある（ただし、各逆拡散符号のビット数はデジタル信号  $I_0$  のビット数よりも小さい）。たとえ

ば、各逆拡散符号が、1, 0, -1を示す2ビットの場合である。各逆拡散符号のビット数が2以上である場合には、第10図に示した逆拡散符号列用シフトレジスタ620の代わりに、互いに並列接続された2個以上のフリップフロップからなるフリップフロップ群を8個用いて巡回型タップ付きシフトレジスタを構成  
5 された逆拡散符号列用シフトレジスタを使用すればよい。

第1乃至第8の乗算器631～638は、論理回路で構成された乗算器である必要はなく、同じ乗算結果を出力する手段（たとえば、逆拡散符号が1の場合には入力信号をそのまま出力し、逆拡散符号が0（係数-1の乗算）の場合には入力信号の符号ビットを反転して出力する回路）であってもよい。

10 第8図に示したようなFIR2倍補間デジタルフィルタを用いて8倍拡散16タップのデジタルマッチトフィルタを構成する場合には、16個のメモリからなる記憶部を記憶部410の代わりに用いるとともに、16個のメモリを順にアドレス指定するカウンタを書き込み選択回路430の代わりに用いればよい。

15 第9図に示したようなオーバーサンプリングされたデジタル信号と逆拡散符号列との相関値を求めるデジタルマッチトフィルタを構成する場合には、8個のメモリからそれぞれなる2つの記憶部を第1および第2の記憶部510, 530の代わりに用いるとともに、2つの記憶部の8個のメモリをそれぞれ順にアドレス指定する2つのカウンタを第1および第2の書き込み選択回路520, 530の代わりに用いればよい。

## 20 産業上の利用可能性

以上説明したように、本発明のデジタルマッチトフィルタでは、従来のマッチトフィルタよりも消費電力の大幅な低減が図れるとともに、デジタル回路だけでも構成することができる。したがって、本発明のデジタルマッチトフィルタを利用することにより、デジタル信号処理用の周辺回路とともにLSIにすることが容易となり、たとえばスペクトラム拡散通信用の受信器の小型化が図れる。  
25

## 請 求 の 範 囲

1. クロックに同期したNビットのデジタル信号とM個のデジタル符号からなるデジタル符号列との相関値を求めるためのデジタルマッチトフィルタであって、  
5 a) 前記Nビットのデジタル信号が入力される第1乃至第Mのデジタル信号記憶手段と、  
b) 前記クロックに同期して前記第1乃至第Mのデジタル信号記憶手段を順に1個ずつ選択して、該選択したデジタル信号記憶手段に前記Nビットのデジタル信号を記憶させるデジタル書き込み選択手段と、  
10 c) 縦続接続された第1段乃至第M段の符号用フリップフロップを有し、かつ、前記クロックに同期して動作するデジタル符号列用巡回型シフトレジスタであって、
  - ・前記M個のデジタル符号が前記第1段乃至第M段の符号用フリップフロップにそれぞれ格納され、
  - ・前記第M段の符号用フリップフロップの出力端子が前記第1段の符号用フリップフロップの入力端子に接続されている、  
デジタル符号列用巡回型シフトレジスタと、
- d) 前記第1乃至第Mのデジタル信号記憶手段の出力信号と前記第1段乃至第M段の符号用フリップフロップの出力信号とをそれぞれ乗算する第1乃至第Mのデジタル乗算手段と、  
20 e) 該第1乃至第Mのデジタル乗算手段の出力信号を加算するデジタル加算手段と、  
を含むデジタルマッチトフィルタ。  
2. 請求項1記載のデジタルマッチトフィルタであって、  
25 前記第1乃至第Mのデジタル信号記憶手段がそれぞれ、前記クロックに同期して動作する並列接続されたN個のフリップフロップを含み、  
前記デジタル書き込み選択手段が、  
縦続接続された第1段乃至第M段の書き込み選択用フリップフロップを有し、かつ、前記クロックに同期して動作する書き込み選択用巡回型シフトレジスタであつ

て、前記第M段の書込み選択用フリップフロップの出力信号が前記第1段の書込み選択用フリップフロップに入力される、書込み選択用巡回型シフトレジスタを含み、

動作開始時に、前記デジタル信号記憶手段を選択する信号が前記第1段乃至第5 M段の書込み選択用フリップフロップの任意の1個に格納されている、

デジタルマッチトフィルタ。

3. 請求項1記載のデジタルマッチトフィルタであって、

前記第1乃至第Mのデジタル信号記憶手段がそれぞれ、前記クロックに同期して動作する並列接続されたN個のフリップフロップを含み、

10 前記デジタル書込み選択手段が、

動作開始前はリセットされ、動作開始後は前記クロックに同期して動作する縦接続された第1段乃至第M段の書込み選択用フリップフロップと、

動作開始後に、前記デジタル信号記憶手段を選択する信号を前記第1段の書込み選択用フリップフロップに前記クロックの一周期よりも短い期間だけ出力し、

15 該期間の経過後には、前記第M段の書込み選択用フリップフロップの出力信号を前記第1段の書込み選択用フリップフロップに出力するデジタル選択回路とを含む、

デジタルマッチトフィルタ。

4. 請求項1記載のデジタルマッチトフィルタであって、

20 前記第1乃至第Mのデジタル信号記憶手段が、Nビットの第1乃至第Mのメモリを含み、

前記デジタル書込み選択手段が、前記クロックをカウントして前記第1乃至第Mのメモリのアドレスを前記クロックに同期して順に出力するアドレスカウンタを含む、

25 デジタルマッチトフィルタ。

5. 第2のクロックのm倍の周波数を有する第1のクロックでオーバーサンプリングされたNビットのデジタル信号とM個のデジタル符号からなるデジタル符号列との相関値を求めるためのデジタルマッチトフィルタであって、

a) 前記Nビットのデジタル信号が入力されるm×M個のデジタル信号記憶手段

と、

b) 前記第1のクロックに同期して前記 $m \times M$ 個のデジタル信号記憶手段を順に1個ずつ選択し、該選択したデジタル信号記憶手段に前記Nビットのデジタル信号を記憶させるデジタル書き込み選択手段と、

5 c) 前記 $m \times M$ 個のデジタル信号記憶手段を $m$ 個ごとに分割して前記 $m \times M$ 個のデジタル信号記憶手段を $M$ 個のブロックに分け、該 $M$ 個のブロックに含まれる前記 $m$ 個のデジタル信号記憶手段の出力信号を前記第2のクロックの一周期内に順に選択して出力する第1乃至第 $M$ のデジタル選択手段と、

d) 縦続接続された第1段乃至第 $M$ 段の符号用フリップフロップを有し、かつ、

10 前記第2のクロックに同期して動作するデジタル符号列用巡回型シフトレジスタであって、

- 前記 $M$ 個のデジタル符号が前記第1段乃至第 $M$ 段の符号用フリップフロップにそれぞれ格納され、
- 前記第 $M$ 段の符号用フリップフロップの出力端子が前記第1段の符号用フリ

15 ッップフロップの入力端子に接続されている、  
デジタル符号列用巡回型シフトレジスタと、

e) 前記第1乃至第 $M$ のデジタル選択手段の出力信号と前記第1段乃至第 $M$ 段の符号用フリップフロップの出力信号とをそれぞれ乗算する第1乃至第 $M$ のデジタル乗算手段と、

20 f) 該第1乃至第 $M$ のデジタル乗算手段の出力信号を加算するデジタル加算手段と、

を含むデジタルマッチトフィルタ。

6. 請求項5記載のデジタルマッチトフィルタであって、  
前記 $m \times M$ 個のデジタル信号記憶手段がそれぞれ、前記第1のクロックに同期

25 して動作する並列接続された $N$ 個のフリップフロップを含み、  
前記デジタル書き込み選択手段が、  
縦続接続された第1段乃至第 $m \times M$ 段の書き込み選択用フリップフロップを有し、  
かつ、前記第1のクロックに同期して動作する書き込み選択用巡回型シフトレジス

タであって、前記第 $m \times M$ 段の書き込み選択用フリップフロップの出力信号が前記

第1の書き込み選択用フリップフロップに入力される、書き込み選択用巡回型シフトレジスタを含み、

動作開始時に、前記デジタル信号記憶手段を選択する信号が前記第1段乃至第m×M段の書き込み選択用フリップフロップの任意の1個に格納されている、

5 デジタルマッチトフィルタ。

7. 請求項5記載のデジタルマッチトフィルタであって、

前記m×M個のデジタル信号記憶手段がそれぞれ、前記第1のクロックに同期して動作する、並列接続されたN個のフリップフロップを含み、

前記デジタル書き込み選択手段が、

10 動作開始前はリセットされ、動作開始後は前記第1のクロックに同期して動作する継続接続された第1段乃至第m×M段の書き込み選択用フリップフロップと、

動作開始後に、前記デジタル信号記憶手段を選択する信号を前記第1段の書き込み選択用フリップフロップに前記第1のクロックの一周期よりも短い期間だけ出力し、該期間の経過後には、前記第m×M段の書き込み選択用フリップフロップの

15 出力信号を前記第1段の書き込み選択用フリップフロップに出力するデジタル選択回路とを含む、

デジタルマッチトフィルタ。

8. 請求項5記載のデジタルマッチトフィルタであって、

前記m×M個のデジタル信号記憶手段が、m×M個のNビットのメモリを含み、

20 前記デジタル書き込み選択手段が、前記第1のクロックをカウントして前記m×M個のメモリのアドレスを前記第1のクロックに同期して順に出力するアドレスカウンタを含む、

デジタルマッチトフィルタ。

9. 第2のクロックのm倍の周波数を有する第1のクロックでオーバーサンプ

25 リングされたNビットのデジタル信号とM個のデジタル符号からなるデジタル符号列との相関値を求めるためのデジタルマッチトフィルタであって、

a) シリアルに入力される前記デジタル信号をシリアル／パラレル変換して第1

乃至第mのデジタル信号をパラレルに出力するシリアル／パラレル変換手段と、

b) 該シリアル／パラレル変換手段から前記第1乃至第mのデジタル信号がそれ

ぞれ入力され、かつ、M個の記憶ユニットをそれぞれ有する第1乃至第mのデジタル信号用記憶手段と、

- c) 前記第2のクロックに同期して前記第1乃至第mのデジタル信号用記憶手段ごとに前記M個の記憶ユニットを順に1個ずつ選択し、該選択した記憶ユニットに前記第1乃至第Mのデジタル信号をそれぞれ記憶させるデジタル書き込み選択手段と、
- d) 前記第1乃至第mのデジタル信号用記憶手段の出力信号を前記M個の記憶ユニットごとに前記第2のクロックの一周期内に順に選択してそれぞれ出力する第1乃至第Mのデジタル選択手段と、
- 10 e) 縦続接続された第1段乃至第M段の符号用フリップフロップを有し、かつ、前記第2のクロックに同期して動作するデジタル符号列用巡回型シフトレジスタであって、
  - ・前記M個のデジタル符号が前記第1段乃至第M段の符号用フリップフロップにそれぞれ格納され、
  - 15 ・前記第M段の符号用フリップフロップの出力端子が前記第1段の符号用フリップフロップの入力端子に接続されている、
  - デジタル符号列用巡回型シフトレジスタと、
- f) 前記第1乃至第Mのデジタル選択手段の出力信号と前記第1段乃至第M段の符号用フリップフロップの出力信号とをそれぞれ乗算する第1乃至第Mのデジタル乗算手段と、
- 20 g) 該第1乃至第Mのデジタル乗算手段の出力信号を加算するデジタル加算手段と、

を含むデジタルマッチトフィルタ。

10. 請求項9記載のデジタルマッチトフィルタであって、

- 25 前記第1乃至第mのデジタル信号用記憶手段の前記M個の記憶ユニットがそれぞれ、前記第2のクロックに同期して動作する並列接続されたN個のフリップフロップを含み、
- 前記デジタル書き込み選択手段が、
- 縦続接続された第1段乃至第M段の書き込み選択用フリップフロップをそれぞれ

有し、かつ、前記第2のクロックに同期して動作する第1乃至第mの書込み選択用巡回型シフトレジスタであって、前記第M段の書込み選択用フリップフロップの出力信号が前記第1段の書込み選択用フリップフロップに入力される、第1乃至第mの書込み選択用巡回型シフトレジスタを含み、

5 動作開始時に、前記第1乃至第mのデジタル信号記憶手段の前記M個の記憶ユニットを選択する信号が、第1乃至第mの書込み選択用巡回型シフトレジスタの前記第1段乃至第M段の書込み選択用フリップフロップの任意の1個にそれぞれ格納されている、

デジタルマッチトフィルタ。

10 11. 請求項9記載のデジタルマッチトフィルタであって、

前記第1乃至第mのデジタル信号用記憶手段の前記M個の記憶ユニットがそれぞれ、前記第2のクロックに同期して動作する並列接続されたN個のフリップフロップを含み、

前記デジタル書込み選択手段が、

15 動作開始前はリセットされ、動作開始後は前記第2のクロックに同期して動作する継続接続された第1段乃至第M段の書込み選択用フリップフロップをそれぞれ有する第1乃至第mの書込み選択用シフトレジスタと、

動作開始後に、前記第1乃至第mのデジタル信号記憶手段の前記M個の記憶ユニットを選択する信号を前記第1乃至第mの書込み選択用シフトレジスタの前記

20 第1段乃至第M段の書込み選択用フリップフロップに前記第2のクロックの一周期よりも短い期間だけそれぞれ出力し、該期間の経過後には、前記第1乃至第mの書込み選択用シフトレジスタの前記第M段の書込み選択用フリップフロップの出力信号を前記第1乃至第mの書込み選択用シフトレジスタの前記第1段の書込み選択用フリップフロップにそれぞれ出力する第1乃至第mのデジタル選択回路

25 とを含む、

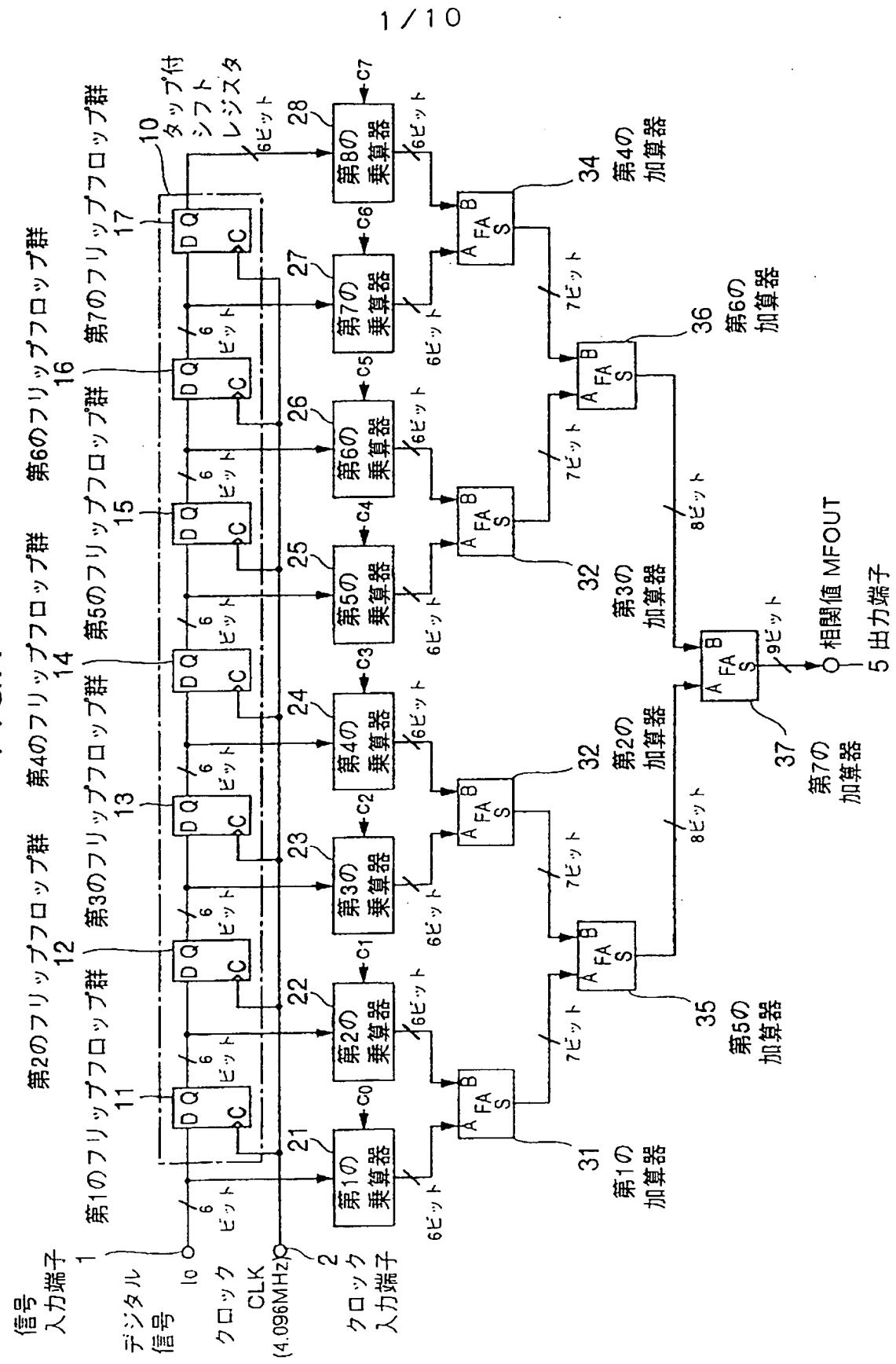
デジタルマッチトフィルタ。

12. 請求項9記載のデジタルマッチトフィルタであって、

前記第1乃至第mのデジタル信号用記憶手段の前記M個の記憶ユニットがそれぞれ、Nビットのデジタル信号記憶用メモリを含み、

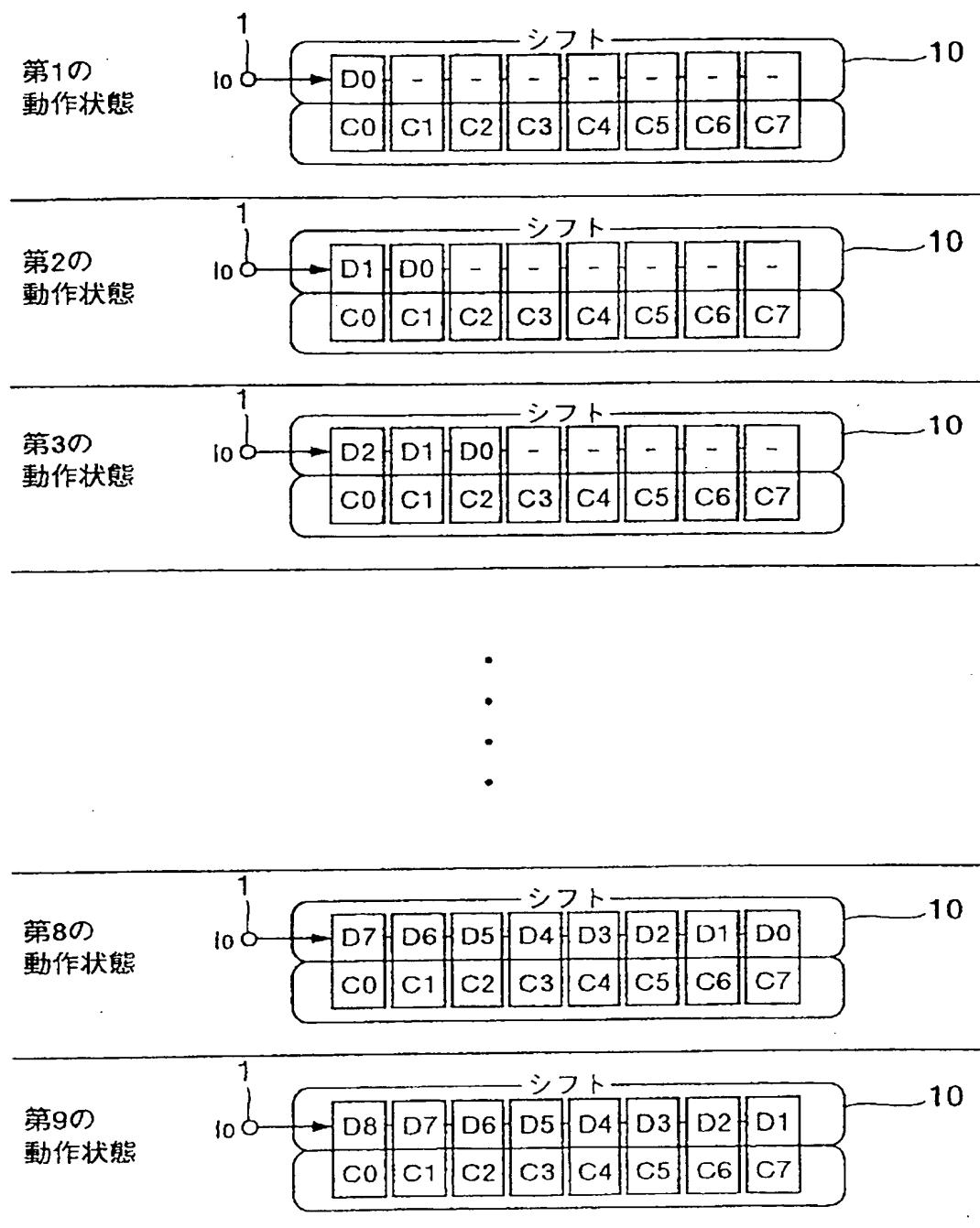
前記デジタル書き込み選択手段が、前記第2のクロックをカウントして前記第1乃至第mのデジタル信号用記憶手段ごとに前記デジタル信号記憶用メモリのアドレスを前記第2のクロックに同期して順に出力するアドレスカウンタを含む、デジタルマッチトフィルタ。

८८



2 / 10

FIG.2



三  
五  
正

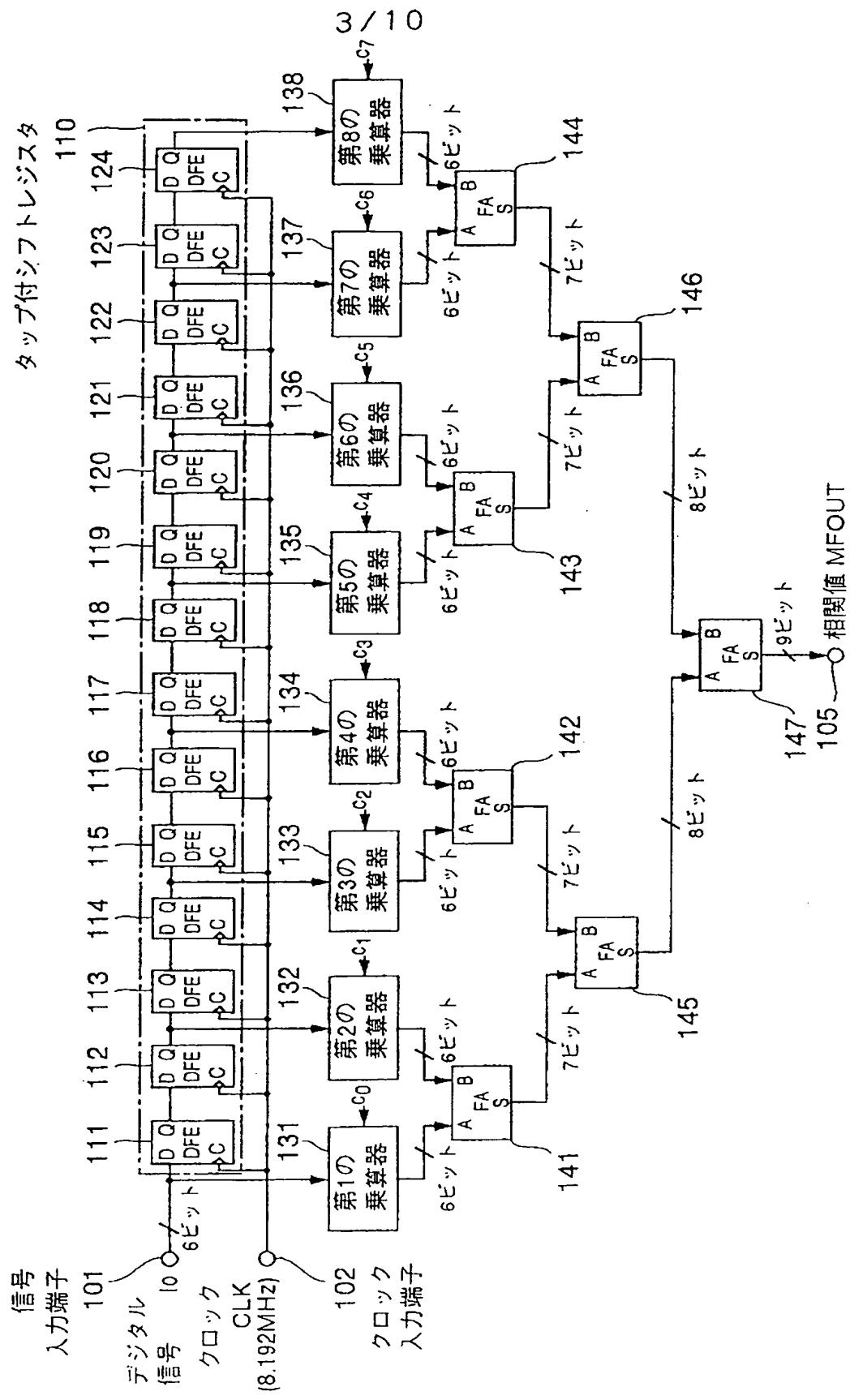


FIG.4

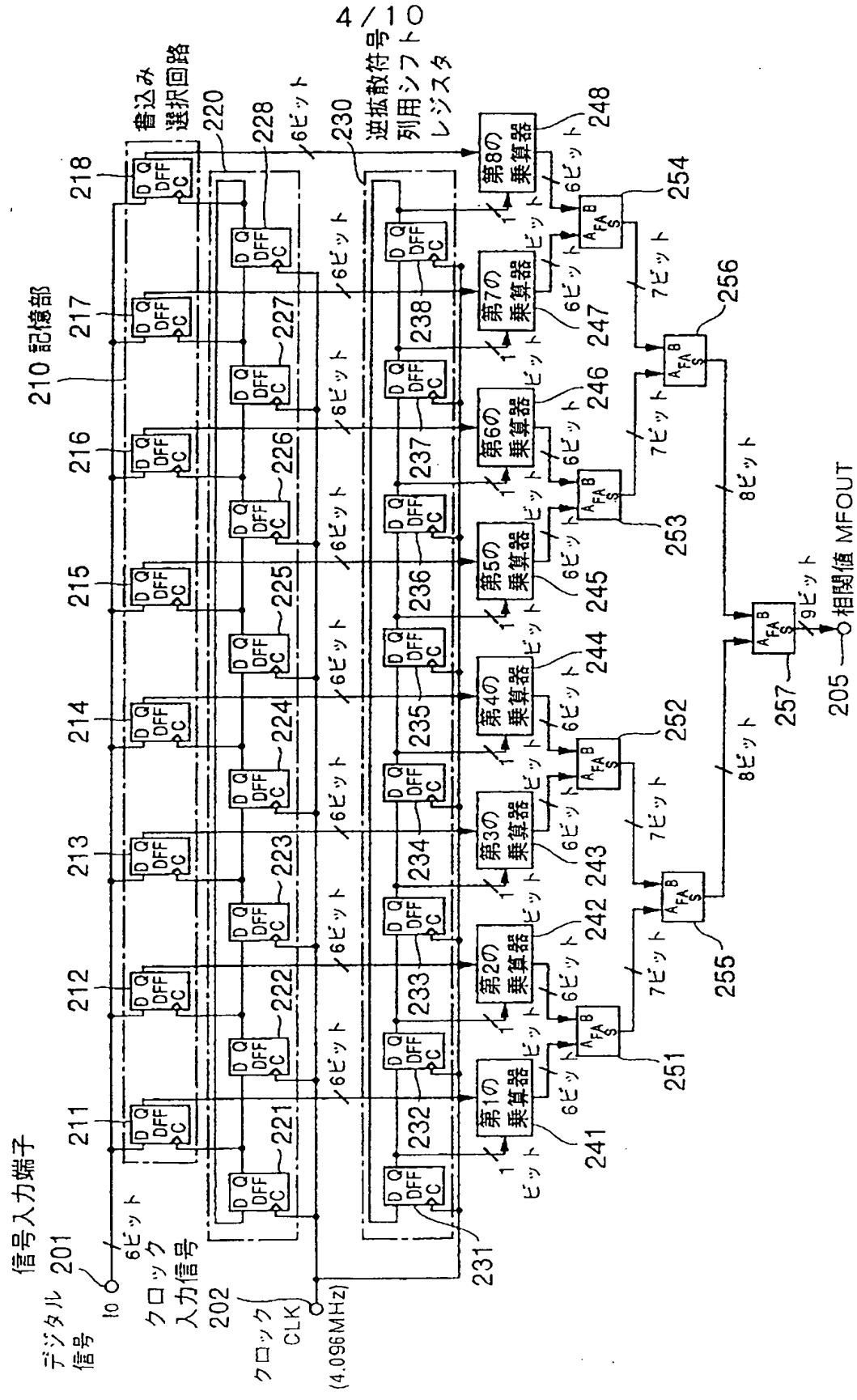


FIG.5

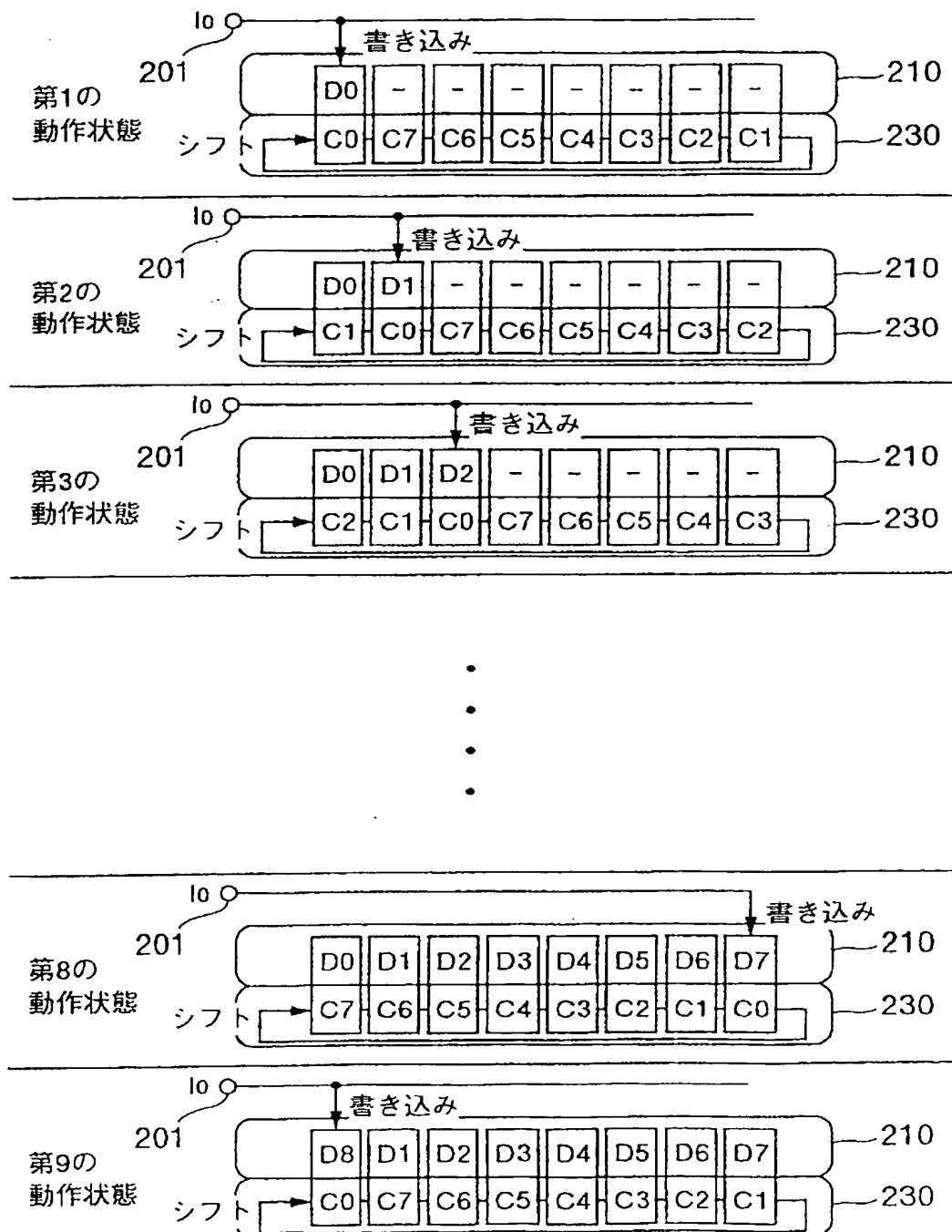
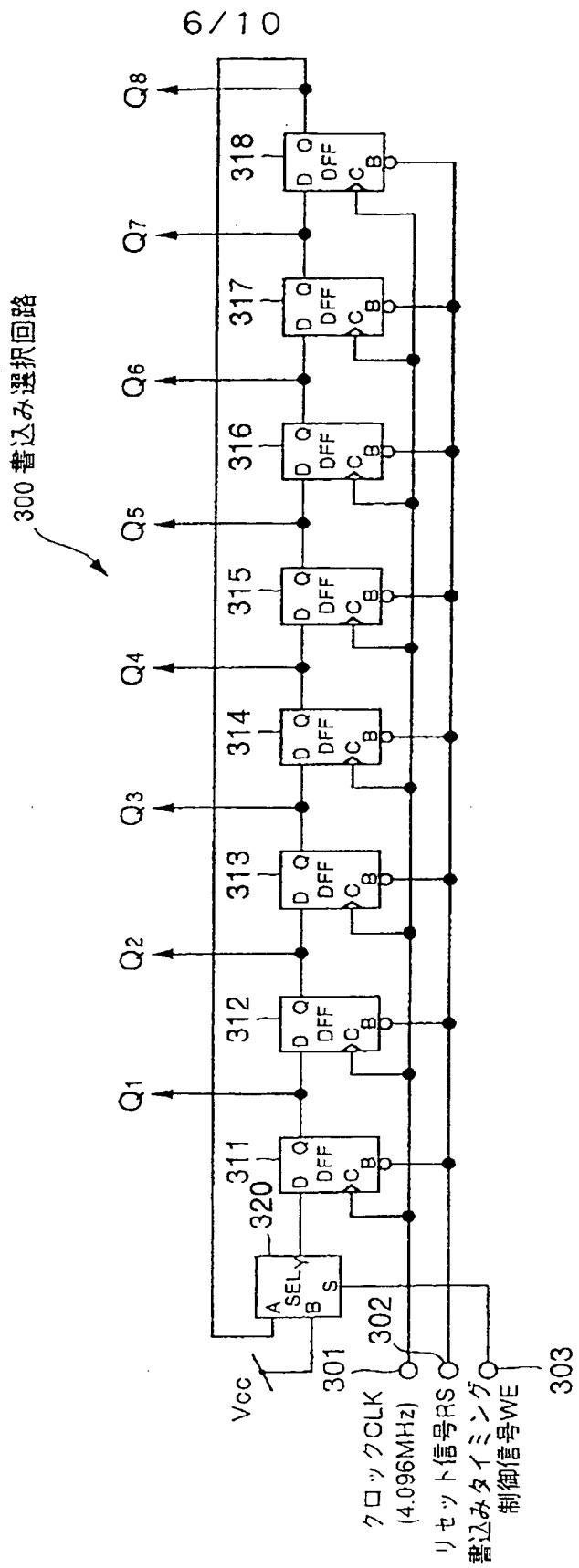
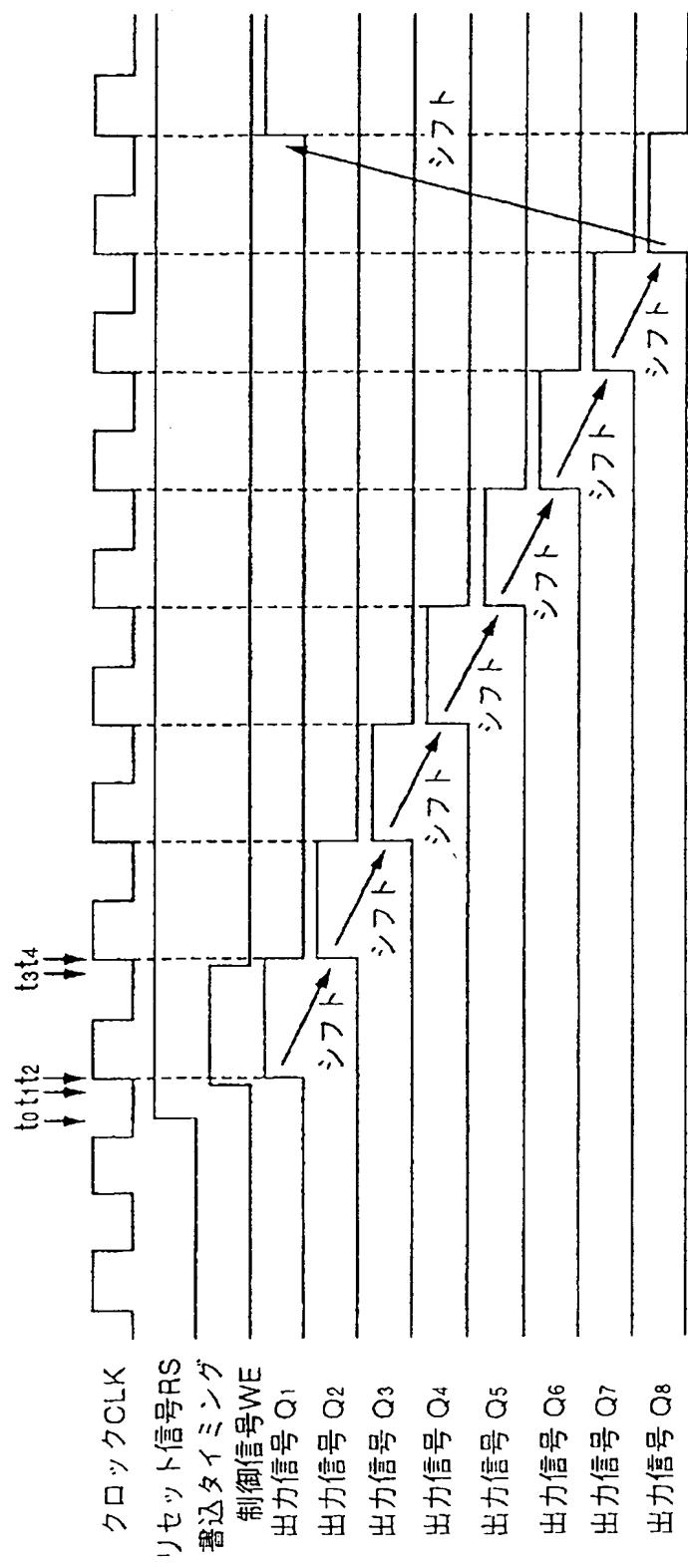


FIG.6

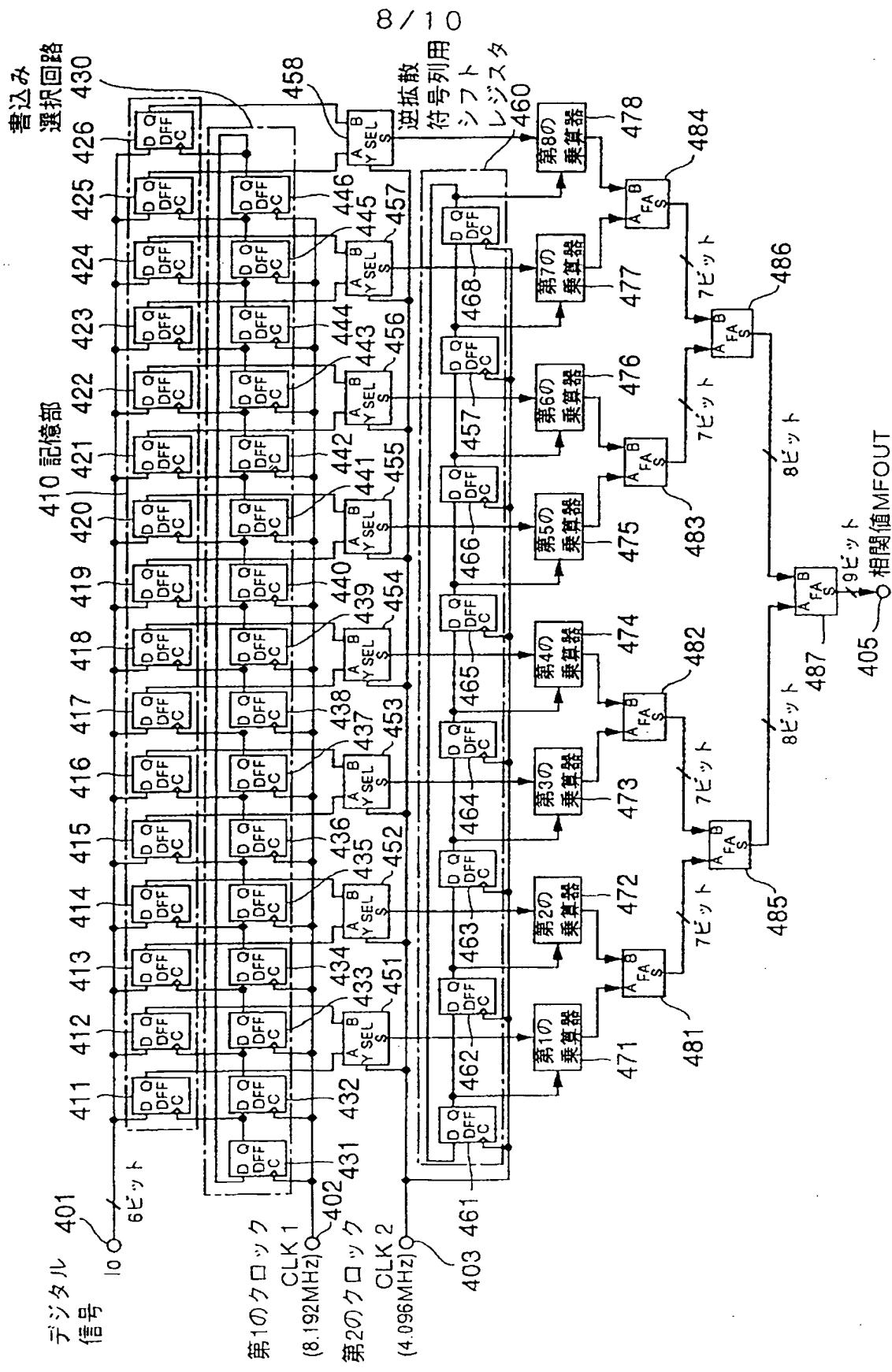


7/10

FIG.7



8  
E  
—



9 / 10

FIG.9

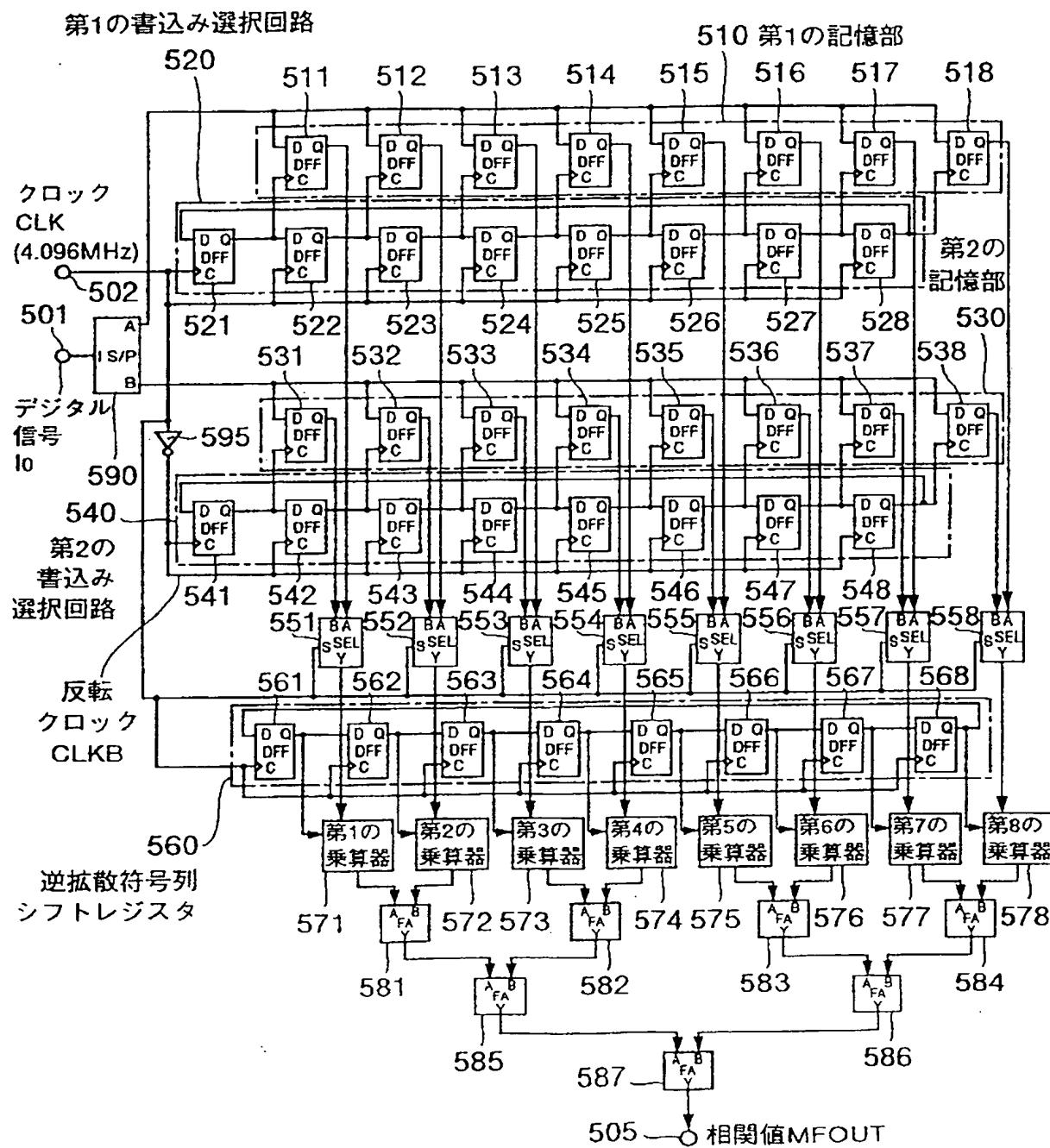
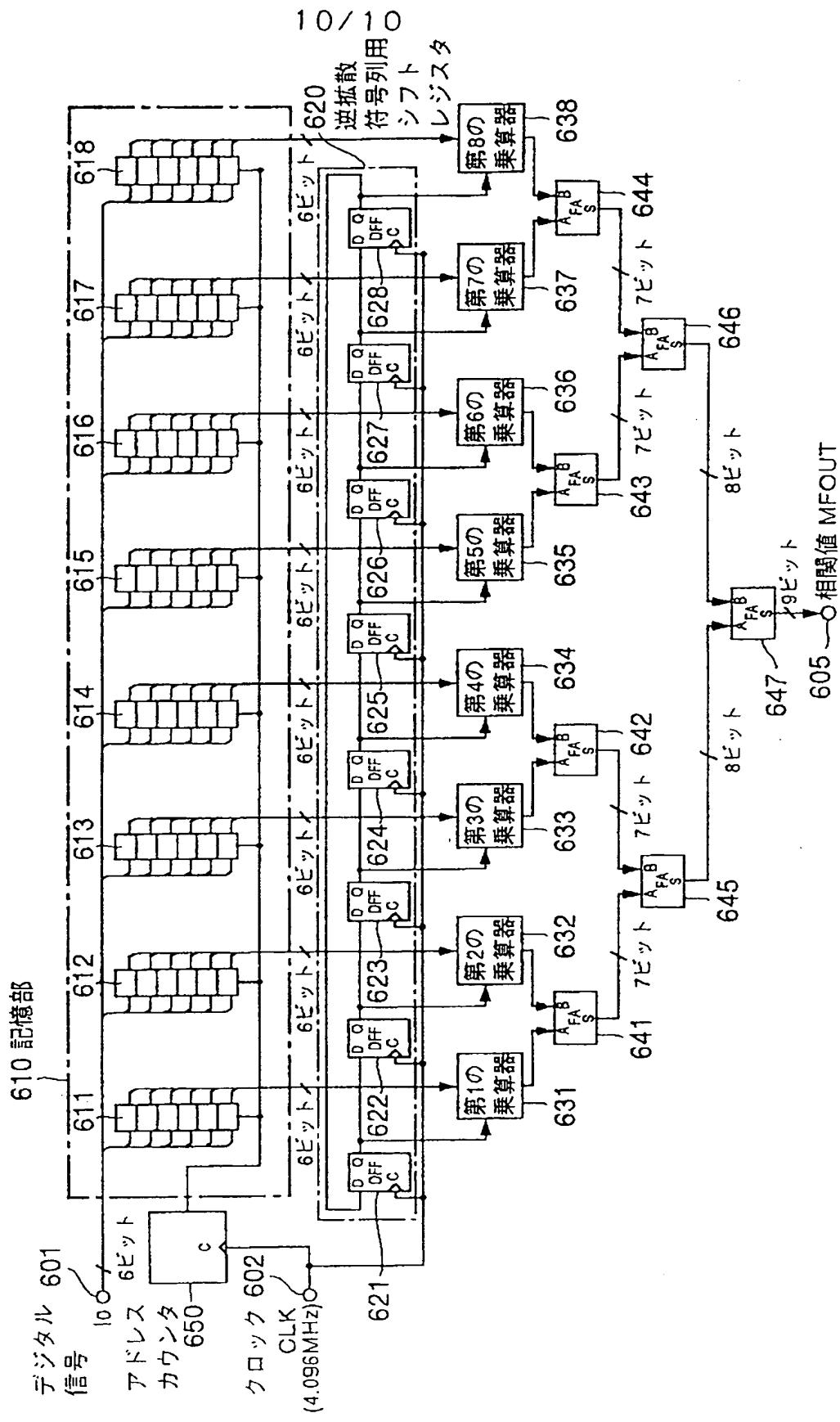


FIG.10



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP97/02647

## A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl<sup>6</sup> G06F17/15, H03H17/02, H04J13/02

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl<sup>6</sup> G06F17/15, H03H17/02, H04J13/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926 - 1996	Jitsuyo Shinan Toroku
Kokai Jitsuyo Shinan Koho	1971 - 1997	Kohō 1996 - 1997
Toroku Jitsuyo Shinan Koho	1994 - 1997	

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 5-252141, A (Ricoh Co., Ltd.), September 28, 1993 (28. 09. 93), Page 7, column 11, lines 26 to 45 (Family: none)	1 - 4
X	JP, 9-116522, A (NTT Mobile Communications Network Inc.), May 2, 1997 (02. 05. 97), Page 3, column 4, line 15 to page 4, column 5, line 28 (Family: none)	1 - 4
A	JP, 8-065205, A (Matsushita Electric Industrial Co., Ltd.), March 8, 1996 (08. 03. 96), Page 2, column 2, lines 4 to 19 (Family: none)	1 - 12

Further documents are listed in the continuation of Box C.  See patent family annex.

- \* Special categories of cited documents:
- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubt on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed
- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search October 31, 1997 (31. 10. 97)	Date of mailing of the international search report November 11, 1997 (11. 11. 97)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl' G06F17/15, H03H17/02, H04J13/02

## B. 調査を行った分野

## 調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl' G06F17/15, H03H17/02, H04J13/02

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年

日本国公開実用新案公報 1971-1997年

日本国実用新案登録公報 1996-1997年

日本国登録実用新案公報 1994-1997年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, 5-252141, A (株式会社リコー), 28. 9月. 1993 (28. 09. 93), 第7頁, 第11欄第26-45行 (ファミリーなし)	1-4
X	JP, 9-116522, A (エヌ・ティ・ティ移動通信網株式会社), 2. 5月. 1997 (02. 05. 97), 第3頁, 第4欄, 第15行-第4頁, 第5欄, 第28行 (ファミリーなし)	1-4
A	JP, 8-065205, A (松下電器産業株式会社), 8. 3月. 1996 (08. 03. 96), 第2頁, 第2欄, 第4-19行 (ファミリーなし)	1-12

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」先行文献ではあるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

国際調査を完了した日 31. 10. 97	国際調査報告の発送日 11. 11. 97
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 石井茂和 印 電話番号 03-3581-1101 内線 6963

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

**BLACK BORDERS**

**IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

**FADED TEXT OR DRAWING**

**BLURRED OR ILLEGIBLE TEXT OR DRAWING**

**SKEWED/SLANTED IMAGES**

**COLOR OR BLACK AND WHITE PHOTOGRAPHS**

**GRAY SCALE DOCUMENTS**

**LINES OR MARKS ON ORIGINAL DOCUMENT**

**REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

**OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

This Page Blank (uspto)